

05597340    \*\*Image available\*\*

DISPLAY DEVICE

PUB. NO.:    09-212140 [JP 9212140 A]

PUBLISHED:    August 15, 1997 (19970815)

INVENTOR(s): OKUMURA HARUHIKO

FUJIWARA HISAO

TSUCHIDA KATSUYA

ITO TAKESHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation),  
JP

(Japan)

APPL. NO.:    08-317775 [JP 96317775]

FILED:        November 28, 1996 (19961128)

INTL CLASS:   [6] G09G-003/36; G02F-001/133

JAPIO CLASS:   44.9 (COMMUNICATION -- Other); 29.2 (PRECISION  
INSTRUMENTS --

Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R139  
(INFORMATION

PROCESSING -- Word Processors)

#### ABSTRACT

PROBLEM TO BE SOLVED: To reduce the power consumption of an LCD  
provided  
with pixel memory in moving image display and the like.

SOLUTION: A liquid crystal panel 120 constituted by arranging plural liquid  
crystal cells CEL constituting a pixel in a form of matrix is provided with  
plural memories 121a, 121b which store image information for each pixel,  
and a selection means 123 which selects one of plural memories for each  
pixel to display the corresponding pixels using the image signal held by  
the memory selected by this selection means 123. Also at least one of the  
respective plural memories 121 for each pixel is used to hold the  
background images and a signal which selects one of the respective memories  
121 is inputted externally to be selected by the selection means 123.

特開平9-212140

(43) 公開日 平成9年(1997)8月15日

(51) Int. Cl.<sup>°</sup> 識別記号

G09G 3/36

G02F 1/133

520

F I

G09G 3/36

G02F 1/133

520

審査請求 未請求 請求項の数11 O L (全27頁)

(21) 出願番号 特願平8-317775

(22) 出願日 平成8年(1996)11月28日

(31) 優先権主張番号 特願平7-312141

(32) 優先日 平7(1995)11月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 奥村 治彦

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 土田 勝也

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

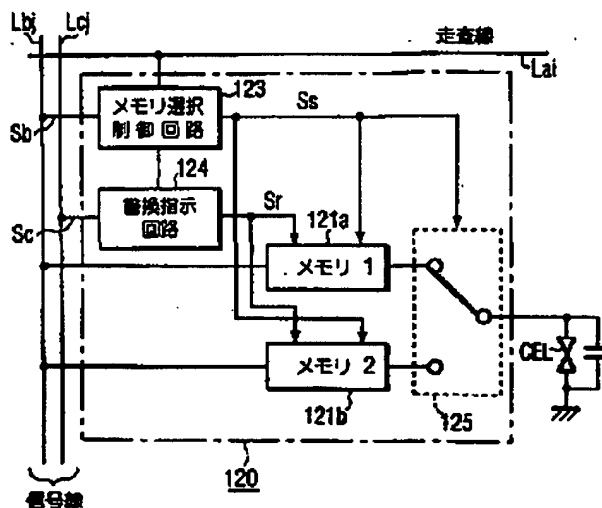
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 動画表示等において、画素メモリ付LCDの消費電力低減を図る。

【解決手段】 画素を構成する複数の液晶セルCELをマトリックス状に配列してなる液晶パネル120に、それぞれの画素毎に画像情報を記憶するための複数のメモリ121a、121bを設け、また、各画素毎に複数のメモリから一つを選択する選択手段123を設けて、この選択手段により選択されたメモリの保持する画像信号で対応の画素の表示を行う構成とする。また、それぞれ複数ある各画素毎のメモリのうち、少なくとも一つは背景画像を保持するために使い、外部からそれぞれのメモリのうち一つを選択する信号を入力して選択手段により選択させる。



## 【特許請求の範囲】

## 【請求項1】 基板と、

前記基板上に行列状に配列された複数の画素と、  
 前記複数の画素に、前記列毎に画像信号を供給する複数の  
 信号線とを具備し、  
 前記複数の画素の各々は、  
 前記複数の信号線の対応する1つから供給される前記画  
 像信号を保持するための複数のメモリ素子と、  
 前記複数のメモリ素子のうちの1つを選択するための選  
 択手段と、  
 選択された前記複数のメモリ素子のうちの前記1つが保  
 持する前記画像信号に応じた輝度でドット表示をする表  
 示素子と、を具備することを特徴とする表示装置。

【請求項2】 前記複数の画素に、前記行毎にアドレス  
 信号を供給する複数のアドレス線をさらに具備し、  
 前記選択手段は、前記複数のアドレス線のうちの対応す  
 る1つから活性化信号を受ける時に、同時に前記複数の  
 信号線のうちの対応する1つから受ける信号に基づき、  
 前記複数のメモリ素子の前記1つを選択することを特徴  
 とする請求項1に記載の表示装置。

【請求項3】 前記複数の画素に、列毎に書換信号を供  
 給する複数の書換信号線と、  
 前記複数の画素の各々に設けられ、前記複数の書換信号  
 線のうちの対応する1つから前記書換信号を受ける書換  
 指示手段とをさらに具備し、  
 前記書換指示手段は、前記複数の書換信号線のうちの対  
 応する1つから活性化信号を受ける時、前記複数のメモ  
 リ素子の書換指示を行うことを特徴とする請求項2に記  
 載の表示装置。

【請求項4】 前記複数の画素に、前記行毎に行アドレ  
 ス信号を供給する複数の行アドレス線と、  
 前記複数の画素に、前記列毎に列アドレス信号を供給す  
 る複数の列アドレス線と、  
 それぞれが前記選択手段を駆動する選択信号を供給する  
 複数のメモリ選択信号線と、  
 前記複数のメモリ選択信号線を駆動するメモリ選択制御  
 回路とをさらに具備し、  
 前記メモリ選択制御回路は、前記複数の行アドレス線お  
 よび前記複数の列アドレス線の活性化信号に同期して、  
 前記選択手段を駆動する選択信号を前記複数のメモリ選  
 択信号線に供給することを特徴とする請求項1に記載の  
 表示装置。

## 【請求項5】 基板と、

前記基板上に行列状に配列された複数の画素と、  
 前記行毎に配列された複数の行アドレス線と、  
 前記列毎に配列された複数の信号線と、  
 前記行毎に配列された複数の行制御線と、を具備し、前  
 記複数の画素の各々は、  
 画素電極を有する表示素子と、  
 第1の導通路を有し、前記表示素子の前記画素電極に、

前記第1の導通路の1端が接続され、その導通が前記複  
 数の行制御線の対応する1つにより制御される第1のス  
 イッチと、

入力端子と出力端子を有し、前記第1の導通路の他端  
 が、前記出力端子に接続され、少なくとも1つのメモリ  
 素子を含むメモリ回路と、

第2の導通路を有し、前記メモリ回路の前記入力端子と  
 前記第2の導通路の1端が接続され、前記複数の信号線  
 の対応する1つに前記第2の導通路の他端が接続され、  
 その導通が前記複数の行アドレス線の対応する1つによ  
 り制御される第2のスイッチと、を含むことを特徴とす  
 る表示装置。

## 【請求項6】 前記列毎に配列された複数の列制御線

と、

第3の導通路を有し、前記メモリ回路の前記入力端子と  
 前記第2のスイッチの前記第2の導通路の前記1端との  
 間に、前記第3の導通路が接続され、その導通が前記複  
 数の列制御線の対応する1つにより制御され、前記複  
 数の画素の各々に設けられた第3のスイッチと、をさら  
 に具備することを特徴とする請求項5に記載の表示装置。

## 【請求項7】 前記列毎に配列された複数の列制御線

と、

第3の導通路を有し、前記メモリ回路の前記出力端子と  
 前記第1のスイッチの前記第1の導通路の前記他端との  
 間に、前記第3の導通路が接続され、その導通が前記複  
 数の列制御線の対応する1つにより制御され、前記複  
 数の画素の各々に設けられた第3のスイッチと、をさら  
 に具備することを特徴とする請求項5に記載の表示装置。

## 【請求項8】 基板と、

前記基板上に行列状に配列された複数の画素と、  
 前記列毎に配列された複数の第1の信号線と、  
 前記列毎に配列され、前記複数の第1の信号線とそれぞ  
 れ対を成す複数の第2の信号線と、  
 前記列毎に配列された複数の第1の制御線と、  
 前記列毎に配列され、前記複数の第1の制御線とそれぞ  
 れ対を成す複数の第2の制御線とを具備し、前記複数の  
 画素の各々は、

画素電極を有する表示素子と、

第1の導通路を有し、前記画素電極に前記第1の導通路  
 の1端が接続され、その導通が前記複数の第1の制御線  
 の対応する1つにより制御される第1のスイッチと、  
 入力端子と出力端子を有し、前記第1のスイッチの前記  
 第1の導通路の他端が、前記出力端子に接続され、前記  
 入力端子が前記複数の第1の信号線の対応する1つに接  
 続され、少なくとも1つのメモリ素子を含むメモリ回路  
 と、

第2の導通路を有し、前記表示素子の前記画素電極に、  
 前記第2の導通路の1端が接続され、前記第2の導通路  
 の他端が前記複数の第2の信号線の対応する1つに接続  
 され、その導通が前記複数の第2の制御線の対応する1

つにより制御される第 2 のスイッチと、を具備することを特徴とする表示装置。

【請求項 9】 基板と、

前記基板上に行列状に配列された複数の画素と、

前記複数の画素に、列毎に画像信号を供給する複数の信号線と、

前記複数の信号線を駆動する信号線駆動回路と、

外部から入力される画像信号を第 1 の記録信号として保持する第 1 の記憶手段と、

1 時点における前記画像信号と前記第 1 の記憶手段に保持された前記 1 時点以前の前記第 1 の記録信号との差分信号を作成し、前記信号線駆動回路に前記差分信号を出力する減算器とを具備し、

前記信号線駆動回路は、前記画像信号として前記差分信号を出力し、

前記複数の画素の各々は、

前記第 1 の記憶手段に保持された前記第 1 の記録信号に対応した第 2 の記録信号を保持する第 2 の記憶手段と、前記第 2 の記憶手段に保持された前記第 2 の記録信号と前記差分信号とを加算して加算信号を出力する加算器と、

前記加算器の前記加算信号に応じた輝度でドット表示をする表示素子と、を具備することを特徴とする表示装置。

【請求項 10】 前記第 1 の記憶手段は、複数の第 1 のメモリ素子と、前記複数の第 1 のメモリ素子の 1 つを選択する第 1 の選択器を含み、

前記第 2 の記憶手段は、複数の第 2 のメモリ素子と、前記複数の第 2 のメモリ素子の 1 つを選択する第 2 の選択器を含み、

前記第 1 の選択器の選択結果に基づき、対応する前記第 2 の選択器を駆動する選択信号駆動回路をさらに具備することを特徴とする請求項 9 に記載の表示装置。

【請求項 11】 基板と、

前記基板上に行列状に配列された複数の画素と、

前記行毎に配列された複数のアドレス線と、

前記列毎に配列された複数の信号線と、

前記行毎に配列された複数の行走査線と、

前記列毎に配列された複数の列走査線と、

前記複数の行走査線を駆動する垂直走査回路と、

前記複数の列走査線を駆動する水平走査回路と、

前記複数の画素の任意の位置で、外部からの光信号によって特定された前記位置の座標データを、前記垂直走査回路と前記水平走査回路より得られる位置データを演算して得る演算手段とを具備し、

前記複数の画素の各々は、

前記複数のアドレス線の対応する 1 つにより選択され、

前記複数の信号線の対応する 1 つから供給される前記画像信号を保持するための第 1 のメモリ回路と、

前記外部からの光信号の有無を検知し、検知信号を発す

る光電変換素子と、

前記複数の行走査線の対応する 1 つにより選択され、前記光電変換素子の前記検知信号を記憶すると同時に、前記検知信号を前記複数の列走査線の対応する 1 つへ出力する第 2 のメモリ回路と、

前記第 1 のメモリ回路に保持された前記前記画像信号と、

前記第 2 のメモリ回路に保持された前記検知信号との論理和をとり、論理和信号を出力する OR 回路と、

前記 OR 回路の前記論理和信号に応じた輝度でドット表示をする表示素子と、を具備することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、行列状に配列された複数の画素により表示を行う表示装置に関し、特に画素への画像信号を記録するメモリ回路を画素毎に有し、前記メモリ回路から画素への画像信号書き込みを制御信号に従って制御する表示装置に関する。

【0002】

【従来の技術】 近年パーソナルコンピュータ等のデジタル情報機器の高性能化は目覚しく、それら機器の情報処理能力は飛躍的に向上してきている。それに伴い、それら機器の情報処理結果を表示する表示装置も、表示容量が拡大してきている。

【0003】 しかしながら、従来から使用されてきた CRT (cathode ray tube) 表示装置は画面のサイズや表示容量が多くなるにつれて大型になり、特に奥行きと重量増加および消費電力増加が問題となっている。これらの問題を軽減する手段として、フラットパネルディスプレイ、特に LCD (liquid crystal display) が使用されているが、LCD は製造技術の困難さから CRT 並の大型化や高精細化には至っていない。

【0004】 また、LCD ではデジタル情報機器との表示信号接続をデジタル信号で行うため、CRT のようにアナログ信号で接続する場合に比較して、接続する信号線の本数が格段に多く、また高速で画像信号を送送する必要がある。このような高速で多ビットの画像信号伝送は電磁ノイズの発生や信号伝送電力の増加という問題を発生させている。

【0005】 さらに、画像信号の伝送量が増加した場合には、一画面の画像信号の更新に多くの時間を必要とし、画面の一部分のみの画像信号更新の場合と比較して画面全体の画像信号更新は遅くなるため、表示画像の動きの低下による動画像表示劣化等の問題を起こしている。

【0006】 また、近年、1 画面に複数の画像を表示するマルチウィンドウ化が進んでいるが、一度表示しても裏側に隠れて見えなくなったウィンドウ画像は、動画と同様に再度、画像をビデオメモリを通して転送し直さなければならないので、画像を切り換える毎に消費電力を

増加させ、また切り替え時の時間差が大きくなるという問題が生じている。

【0007】このような状況の中で、LCDに関しては駆動電圧の低電圧化や駆動周波数の低減により低消費電力化が進められているが、さらに低消費電力化できる構造として、1画面毎にメモリを備えた構造が提案されている(特開昭58-196582または特開平3-77922)。

【0008】この技術を採用することにより、静止画については1度画像信号を各画素に転送してしまえば、その後はその画素のメモリに保持された信号でその画素を常時表示すれば良いため、消費電力は理論上、極性反転のみの消費電力だけになることから、“0”に限りなく近づいてきている。

【0009】しかし、近年、マルチメディア化が進み、動画像を表示する必要が増大している。動画像は画素情報が速い速度で逐次変化する画像であるので、画素毎にメモリを持たせていても、そのメモリには高頻度で画素の信号を書き替える必要が生じる。そして、このように高頻度で画素の書き替えを行うことになると、従来と同様に大幅に電力を消費してしまう。

【0010】

【発明が解決しようとする課題】以上のように、従来の液晶表示装置では、表示画像の表示信号を画素毎に保持できるようにした画素メモリ付き液晶表示装置とすると、静止画表示に供する場合に、駆動周波数や静的消費電力を低減する効果が期待できるが、動画表示の場合にそのような消費電力低減効果が全く期待できないという問題があった。

【0011】特に近年のように、マルチメディアの浸透に伴い、動画表示は必須の要件であり、また、液晶表示装置は、ノートパソコンや、ハンディターミナル、携帯TV、携帯電話、電子手帳、ゲーム機などのような携帯機器に用いられることが多いから、消費電力の問題は解決しなければならない大きな課題の一つである。

【0012】すなわち、可般性の観点から、携帯機器の主電源はバッテリーとならざるを得ないことから、小型軽量化を図り、長時間、装置を使用できるようにするには、動画表示の際の消費電力低減は避けて通れない課題である。

【0013】また、近年、1画面に複数の画像を表示するマルチウインドウ化が進んでいるが、一度表示しても裏側に隠れて見えなくなったウインドウ画像は、動画と同様に再度、画像をビデオメモリを通して転送し直さなければならないので、画像を切り換える毎に消費電力増加させていた。

【0014】そこで、この発明の目的とするところは、動画表示やマルチウインドウ表示にあたって消費電力を低減でき、バッテリー駆動時間をより長くできる表示装置を提供することにある。

【0015】上記に付随して、複数の表示画像によってグレイレベルを表示する場合に、画質が大幅に改善された表示装置を提供する。

【0016】また、消費電力が低減されたペン入力表示装置を提供する。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の態様の表示装置(請求項1)は、基板と、前記基板上に行列状に配列された複数の画素と、前記複数の画素に、前記列毎に画像信号を供給する複数の信号線とを具備し、前記複数の画素の各々は、前記複数の信号線の対応する1つから供給される前記画像信号を保持するための複数のメモリ素子と、前記複数のメモリ素子のうちの1つを選択するための選択手段と、選択された前記複数のメモリ素子のうちの前記1つが保持する前記画像信号に応じた輝度でドット表示をする表示素子とを具備することを特徴とする。

【0018】上記表示装置は、前記複数の画素に、前記行毎にアドレス信号を供給する複数のアドレス線をさらに具備し、前記選択手段は、前記複数のアドレス線のうちの対応する1つから活性化信号を受ける時に、同時に前記複数の信号線のうちの対応する1つから受ける信号に基づき、前記複数のメモリ素子の前記1つを選択することができる。

【0019】上記表示装置は、前記複数の画素に、列毎に書換信号を供給する複数の書換信号線と、前記複数の画素の各々に設けられ、前記複数の書換信号線のうちの対応する1つから前記書換信号を受ける書換指示手段とをさらに具備し、前記書換指示手段は、前記複数の書換信号線のうちの対応する1つから活性化信号を受ける時、前記複数のメモリ素子の書換指示を行うことができる。

【0020】あるいは、上記表示装置は、前記複数の画素に、前記行毎に行アドレス信号を供給する複数の行アドレス線と、前記列毎に列アドレス信号を供給する複数の列アドレス線と、それぞれが前記選択手段を駆動する選択信号を供給する複数のメモリ選択信号線と、前記複数のメモリ選択信号線を駆動するメモリ選択制御回路とをさらに具備し、前記メモリ選択制御回路は、前記複数の行アドレス線と前記複数の列アドレス線の活性化信号に同期して、前記選択手段を駆動する選択信号を前記複数のメモリ選択信号線に供給するようにしてもよい。

【0021】前記選択手段は、前記複数のメモリ素子の前記1つに、前フレームの1画素の第1の画像信号が保持され、現フレームの前記1画素に対応する画素の第2の画像信号が前記第1の画像信号と実質的に同じときは、前記複数のメモリ素子の前記1つを選択し、前記第1の画像信号が前記表示素子に供給されるようにすることができる。

【0022】前記複数のメモリ素子の前記1つに保持さ

れている前記画像信号を、背景画像の画像信号とすることができる。

【0023】前記複数のメモリ素子の少なくとも1つに保持されている画像信号を、マルチウィンドウ画像の現在表示されている画像以外の画像の画像信号とすることもできる。

【0024】前記複数のメモリ素子の少なくとも1つが、前記画像信号を供給するホストシステム側でバックグラウンド処理された、現画像信号以外のデータを保持するようにしてもよい。

【0025】前記複数のメモリ素子が、前記複数の画素の総数よりも大きい画素数に相当する画像信号を保持できるメモリ容量を有し、前記複数のメモリ素子に保持された前記画像信号を、実質的に前記複数の画素の前記総数毎に切り替えて表示することにより、前記複数の画素の前記総数よりも多い前記画像信号を表示することができる。

【0026】前記複数のメモリ素子が、少なくとも1つのメモリ素子より成る第1のメモリ回路と、少なくとも1つのメモリ素子より成る第2のメモリ回路とを形成し、前記第1のメモリ回路が右目用の画像信号を、前記第2のメモリ回路が左目用の画像信号を保持し、前記選択手段が前記第1および第2のメモリ回路を高速で切り替えることにより、立体表示用の画像を表示することができる。

【0027】本発明の第1の態様の表示装置は、各画素に複数のメモリを有しており、各画素に画像信号とメモリ選択信号および書換指示信号を与えることにより、選択されたメモリの画像信号書換えや、保持している画像信号による液晶セルの駆動などが出来る。

【0028】動画画像の場合、主として動くのはオブジェクト画像であり、シーンが変わったり、アングルが変わったり、あるいは、ズームングやテレワイドを行うといったことが無ければ、一般的には背景は変化が無いが、変化があってもその変化は少ない。また、マルチウィンドウの場合でも、基本的にはもともと前面にある画面への書き換えが頻繁に発生するが、裏側のウィンドウ画面は前面に来るまで殆ど書き換えが発生しない。

【0029】本発明では、このことに着目し、背景（または裏面のウィンドウ画像）とオブジェクト画像（または前面のウィンドウ画像）は画素毎に別のメモリに保持させ、その画素での画像表示がオブジェクトであるか、背景であるかにより、メモリを切換えて画素表示に供するようにする。これにより、その画素で表示していたオブジェクト画像が他へ移動した場合に、その画素の背景用のメモリをつぎに選択できる。背景用のメモリに保持している以前の背景画像の画像信号をそのまま利用できるときは、その背景画像信号をそのまま利用することにより、従来ならばオブジェクト画像から背景画像にメモリ内容を書換えて改めなければならないものを、書換え

を行わずに済むようになる。

【0030】従って、本発明によれば、画素の表示内容が変わる場合でも、画素毎にそれぞれ複数設けたメモリに蓄えられている信号と同じものを利用することが出来る画像であれば、それらを選択する信号のみ与えれば良いので、画像が変化した場合でも、液晶パネルをリフレッシュする回数を大幅に低減することができ、省電力化を図ることが出来るようになる。

【0031】さらに、表示素子に画像信号を供給しているメモリ以外の画像信号保持メモリが、表示装置に画像信号を供給しているホストシステム側でバックグラウンド実行された結果により、メモリ内容の更新が行われる。これにより、ホストシステム側でアプリケーションの切り替えが行われたときでも、高速に表示画像を切り替えることができ、画面更新時間が短縮される。

【0032】また、表示素子に画像信号を供給しているメモリ以外の画像信号保持メモリを、仮想スクリーンとして使用することができ、表示素子の総数よりも大容量の表示信号をメモリすることができる。この仮想スクリーンの画像信号と現画像信号とを高速に切り替えて表示素子を駆動することにより、等価的に表示素子総数よりも多い表示画素数の画像を表示することが可能となり、高精細で低消費電力の表示装置が実現される。

【0033】本発明の第2の態様の表示装置（請求項5）は、基板と、前記基板上に行列状に配列された複数の画素と、前記行毎に配列された複数の行アドレス線と、前記列毎に配列された複数の信号線と、前記行毎に配列された複数の行制御線とを具備し、前記複数の画素の各々は、画素電極を有する表示素子と、第1の導通路を有し、前記表示素子の前記画素電極に、前記第1の導通路の1端が接続され、その導通が前記複数の行制御線の対応する1つにより制御される第1のスイッチと、入力端子と出力端子を有し、前記第1の導通路の他端が、前記出力端子に接続され、少なくとも1つのメモリ素子を含むメモリ回路と、第2の導通路を有し、前記メモリ回路の前記入力端子と前記第2の導通路の1端が接続され、前記複数の信号線の対応する1つに前記第2の導通路の他端が接続され、その導通が前記複数の行アドレス線の対応する1つにより制御される第2のスイッチとを含むことを特徴とする。

【0034】表示装置は、前記列毎に配列された複数の列制御線と、第3の導通路を有し、前記メモリ回路の前記入力端子と前記第2のスイッチの前記第2の導通路の前記1端との間に、前記第3の導通路が接続され、その導通が前記複数の列制御線の対応する1つにより制御され、前記複数の画素の各々に設けられた第3のスイッチとをさらに具備することができる。

【0035】あるいは、表示装置は、前記列毎に配列された複数の列制御線と、第3の導通路を有し、前記メモリ回路の前記出力端子と前記第1のスイッチの前記第1

の導通路の前記他端との間に、前記第3の導通路が接続され、その導通が前記複数の列制御線の対応する1つにより制御され、前記複数の画素の各々に設けられた第3のスイッチとをさらに具備するようにしてもよい。

【0036】前記メモリ回路は、少なくとも2つのメモリ素子と、データ入力の際に、前記少なくとも2つのメモリ素子を切り替える第1の同期信号が入力される第1の同期信号端子と、データ出力の際に、前記少なくとも2つのメモリ素子を切り替える第2の同期信号が入力される第2の同期信号入力端子とを具備することができる。

【0037】前記少なくとも2つのメモリ素子が、それぞれ色信号を記憶し、前記第2の同期信号を所定の周期で変化させて、前記表示素子に中間調 (gray level) を表示させることができる。

【0038】前記メモリ回路は、前記複数の画素のうちの隣接する1つに含まれる隣接メモリ回路に接続されるデータ転送線を有し、前記データ転送線を通じて前記少なくとも2つのメモリ素子に保持されたデータを、前記隣接メモリ回路に転送するようにしてもよい。前記データを色情報とすることができる。

【0039】さらに表示装置は、基板と、前記基板上に行列状に配列された複数の画素と、前記列毎に配列された複数の第1の信号線と、前記列毎に配列され、前記複数の第1の信号線とそれぞれ対を成す複数の第2の信号線と、前記列毎に配列された複数の第1の制御線と、前記列毎に配列され、前記複数の第1の制御線とそれぞれ対を成す複数の第2の制御線とを具備し、前記複数の画素の各々は、画素電極を有する表示素子と、第1の導通路を有し、前記画素電極に前記第1の導通路の1端が接続され、その導通が前記複数の第1の制御線の対応する1つにより制御される第1のスイッチと、入力端子と出力端子を有し、前記第1のスイッチの前記第1の導通路の他端が、前記出力端子に接続され、前記入力端子が前記複数の第1の信号線の対応する1つに接続され、少なくとも1つのメモリ素子を含むメモリ回路と、第2の導通路を有し、前記表示素子の前記画素電極に、前記第2の導通路の1端が接続され、前記第2の導通路の他端が前記複数の第2の信号線の対応する1つに接続され、その導通が前記複数の第2の制御線の対応する1つにより制御される第2のスイッチとを具備するようにしてもよい。

【0040】本発明の第2の態様によれば、画像信号を行列状に配列した個々の画素若しくは複数個の画素へ、それぞれに備わっているメモリ回路から、制御信号に従って書き込むことができる。すなわち、画像信号は各画素へ任意に書き込むことができる。また、書換の周期を各画素毎若しくは画素ブロック毎に変えることができるとともに、画像信号はメモリ回路より供給されるため、消費電力の大きい信号線ドライバ若しくはそれに関わる

各ドライバを動作させることなく表示が行え、消費電力を大幅に軽減することができる。

【0041】例えば、保持時間の短い液晶材料を用いた場合においては、制御信号を変えることでリフレッシュレートを上げねばならない。この場合、画像信号はメモリ素子に記録されているため、メモリ素子への書き込み動作は必要ない。また、書き込みを行わない画素については、制御信号をOFFとし、メモリ回路への画像信号入力のみを各メモリ回路に選択的に行うことにより、画素への書き込み動作とメモリ回路への記録動作とを独立にして行うことができる。これにより、書換周波数の高い動画などに対しては、残像の少ない表示を行うことができる。

【0042】本発明の第2の態様によれば、ある特定のパターンで表示色A、Bを切り替えた場合に、切り替え周期30Hzのフリッカが生じる表示画像においても、表示色A、Bはメモリ回路へ記録し制御信号を変えることによって、前記切り替え周期を、例えばフリッカが視認できない120Hzに高くすることができる。

【0043】また、これは画像信号は同じであるが、書き込み極性によって輝度差が異なる液晶セルにおいて、プラス書き込み極性の表示色Aと、マイナス書き込み極性の表示色Bとを高い周波数で切り替えることによって、フリッカの発生しない表示を行うことができる。

【0044】また、表示色A、Bの配置が決まっているため、ある特定のパターンにおいては誤表示を生じる場合があるが、隣接するメモリ素子間で表示色の送受信を行うことによって、誤表示を視認されないようにすることができる。

【0045】また、前後左右にスクロールさせる場合に、メモリ素子内の画像情報を隣接画素へそのまま送信することにより、表示画像が変えられる。消費電力の大きい信号線ドライバあるいはそれに関わる各ドライバを動作させることなく表示画像が変えられるので、消費電力を大幅に低減することができる。

【0046】また、背景画像上に動体が存在する動画において、背景画像は上下左右にスクロールし、動体はそれとは独立に動く場合には、動体の画像信号を主に送信すればよく、背景画像についてはメモリ素子間の送受信によって画像信号を供給することができる。これにより、消費電力を大幅に軽減できるとともに、動体については書換周波数を高くすることが可能となるため、よりリアルな表示を行うことができる。

【0047】さらに本発明によれば、ウィンドウ画像の切り替えや、コンピュータの立ち上がり時の初期画面表示を短時間に行うことができる。また、立ち下がり時の画面を記録しておくレジューム機能を持たせることもできる。また、液晶パネルの特性を保つために、スクリーンセーブ効果を持つ表示画像をメモリ素子内に記録し、ある周期毎に画面のリフレッシュを行うことができる。

【0048】本発明の第3の態様の表示装置（請求項9）は、基板と、前記基板上に行列状に配列された複数の画素と、前記複数の画素に、列毎に画像信号を供給する複数の信号線と、前記複数の信号線を駆動する信号線駆動回路と、外部から入力される画像信号を第1の記録信号として保持する第1の記憶手段と、1時点における前記画像信号と前記第1の記憶手段に保持された前記1時点以前の前記第1の記録信号との差分信号を作成し、前記信号線駆動回路に前記差分信号を出力する減算器とを具備し、前記信号線駆動回路は、前記画像信号として前記差分信号を出力し、前記複数の画素の各々は、前記第1の記憶手段に保持された前記第1の記録信号に対応した第2の記録信号を保持する第2の記憶手段と、前記第2の記憶手段に保持された前記第2の記録信号と前記差分信号とを加算して加算信号を出力する加算器と、前記加算器の前記加算信号に応じた輝度でドット表示をする表示素子とを具備することを特徴とする。

【0049】前記第1の記憶手段は、複数の第1のメモリ素子と、前記複数の第1のメモリ素子の1つを選択する第1の選択器を含み、前記第2の記憶手段は、複数の第2のメモリ素子と、前記複数の第2のメモリ素子の1つを選択する第2の選択器を含むことが望ましい。

【0050】前記第1の選択器の選択結果に基づき、対応する前記第2の選択器を駆動する選択信号駆動回路をさらに具備することが望ましい。

【0051】上記の表示装置においては、最も相関の高い画像との差分のみの伝送でよいので、消費電力のさらなる低減が可能となる。

【0052】本発明の第4の態様の表示装置（請求項11）は、基板と、前記基板上に行列状に配列された複数の画素と、前記行毎に配列された複数のアドレス線と、前記列毎に配列された複数の信号線と、前記行毎に配列された複数の行走査線と、前記列毎に配列された複数の列走査線と、前記複数の行走査線を駆動する垂直走査回路と、前記複数の列走査線を駆動する水平走査回路と、前記複数の画素の任意の位置で、外部からの光信号によって特定された前記位置の座標データを、前記垂直走査回路と前記水平走査回路より得られる位置データを演算して得る演算手段とを具備し、前記複数の画素の各々は、前記複数のアドレス線の対応する1つにより選択され、前記複数の信号線の対応する1つから供給される前記画像信号を保持するための第1のメモリ回路と、前記外部からの光信号の有無を検知し、検知信号を発する光電変換素子と、前記複数の行走査線の対応する1つにより選択され、前記光電変換素子の前記検知信号を記憶すると同時に、前記検知信号を前記複数の列アドレス線の対応する1つへ出力する第2のメモリ回路と、前記第1のメモリ回路に保持された前記前記画像信号と、前記第2のメモリ回路に保持された前記検知信号との論理和をとり、論理和信号を出力するOR回路と、前記OR

回路の前記論理和信号に応じた輝度でドット表示をする表示素子とを具備することを特徴とする。

【0053】前記第1のメモリ回路は、複数のメモリ素子を含むことができる。また、前記OR回路と前記表示素子との間に接続されたDAコンバータをさらに具備することが望ましい。

【0054】上記の表示装置は、光センサと複数のメモリ回路を各画素に有し、光センサがライトペンの座標データを検出する。光センサより検出された座標データは、複数のメモリ回路の1つに保存されるので、座標データの読出しの速度は遅くともよく、読出し駆動回路およびデータ転送回路の低消費電力化が実現される。

【0055】また、画像信号が複数のメモリの1つに保存されており、座標データと画像信号の論理和の電圧を表示素子に印加するので、読出し駆動周波数が遅いにも拘らず瞬時に座標位置を表示することが可能である。

【0056】

【発明の実施の形態】本発明の実施例の説明に先立ち、液晶表示装置の消費電力の問題について説明する。

【0057】一般的な液晶表示装置は、図27(a)のブロック図に示すように、液晶表示パネル10と、信号線駆動回路11と、アドレス線駆動回路12と、バッファ回路13と、コモン駆動回路14と制御信号発生回路15とを具備する。

【0058】液晶表示パネル10には、図27(b)に示すように、複数の微小な液晶表示セルCELが行列状に配設されており、行毎の行走査線La1~Lamと、列毎の画素信号線Lb1~Lbnにそれぞれ接続されている。各液晶表示セルCELには、対応する行走査線によりスイッチSWが駆動されることにより、画素信号線からの画素信号が印加される。液晶表示セルCELは、この画素信号線からの印加電位と、コモン電源VCOMの電位との電位差分の電圧が加えられることにより、その電圧に対応して画素濃度を変化させる。

【0059】コモン電源VCOMは液晶表示セルの共通電位の電源であり、これは図27(a)に示すコモン駆動回路14により発生される。また、制御信号発生回路15は表示動作に必要な各種の制御信号を発生して各部に与へ、所要の動作を行えるように制御している。

【0060】また、各液晶表示セルCELに対応して設けられたスイッチSWは、TFT(Thin Film Transistor)で構成されており、そのゲート端子は対応する行の行走査線La1~Lamに接続され、この行走査線の信号によりスイッチはオンオフ制御される。

【0061】また、各スイッチSWは、対応する列の画素信号線Lb1~Lbnと液晶表示セルCELとの間に、そのソースとドレインが接続され、ゲートに接続された行走査線によりオンに駆動された時、信号線駆動回路11の出力を液晶表示セルCELに与える。

【0062】アドレス線駆動回路12は、行走査線La1



～L<sub>an</sub>に順次駆動信号G<sub>1</sub>～G<sub>m</sub>を出力することにより、行単位で各液晶表示セルのスイッチSW (TFT)のゲートに信号を与え、これらスイッチSWを駆動制御する。このようにして、アドレス線駆動回路12により、各行走査線が順次走査される。

【0063】一方、画像信号がバッファ回路13を介して信号線駆動回路11に与えられると、信号線駆動回路11は、行走査線の走査に対応してその走査中の行の各画素の状態を、画像信号に応じて制御する。すなわち、その走査中の行の各画素の画像信号がそれぞれ各画素に対応して出力されるように、この画像信号が画素信号線L<sub>b1</sub>～L<sub>bn</sub>に順次出力される。

【0064】このように図27(b)に示すような液晶パネルにおいては、行走査線にON信号を出力することによって、その行対応の液晶セルの各SWをONさせると共に、信号線駆動回路11から、走査中の行の各画素対応の画像信号を与えることによって、コモン駆動回路14から与えられるコモン電圧と前記画像信号との電位差分の電圧が、液晶セルCELに印加されて画素表示がなされる。

【0065】ここで、液晶表示装置の駆動回路の消費電力が、どのような要因で決まるかを検討する。この場合、消費電力は、直流的に流れるバイアス電流による消費電

$$P_i = (C_i + 2C_{ck}) \times f_s / 2 \times V_i^2 \quad \dots (1)$$

出力バッファの最大消費電力P<sub>ob</sub>は、信号線容量をC<sub>s</sub>、水平駆動周波数をf<sub>h</sub>、水平の画素数をN<sub>h</sub>、信号

$$P_{ob} = N_h \times C_{ss} \times f_h \times V_s^2 / 2 \quad \dots (2)$$

## 2) バッファ回路

バッファ回路は、入力のデジタル信号を受けてノイズ除去や波形整形をして信号線駆動回路に安定な信号を供給するための回路で、省略される場合もあるが基本的に必要であるので考慮しておく。バッファ回路の最大消費電

$$P_b = (2C_{bc} + C_{bp}) \times f_s / 2 \times V_b^2 \quad \dots (3)$$

## 3) 制御信号発生回路

制御信号発生回路は、基本的にはゲートアレイで構成されており、信号により内部の周波数が異なるが、主に画像のサンプリングクロックf<sub>s</sub>に関係する消費電力が重要なファクターと考えられる。ゲートアレイ全体の最大

$$P_{ga} = (2C_{gac} + C_{gap}) \times f_s / 2 \times V_{ga}^2 \quad \dots (4)$$

## 4) コモン駆動回路

コモン駆動回路は、コモン容量C<sub>c</sub>を駆動するためのもので、コモン駆動回路の最大消費電力P<sub>c</sub>は、コモンの駆動周波数をf<sub>c</sub>、コモン駆動回路の電源電圧をV<sub>c</sub>で

$$P_c = C_c \times f_c \times V_c^2 \quad \dots (5)$$

## 5) アドレス線駆動回路

アドレス線駆動回路は、アドレス線(ゲート線)の容量C<sub>g</sub>を駆動するためのもので、アドレス線駆動回路の最大消費電力P<sub>g</sub>は、アドレス線の駆動周波数をf<sub>g</sub>

$$P_g = C_g \times f_g \times V_g^2 \quad \dots (6)$$

## 6) 回路全体の消費電力P<sub>all</sub>

力は含めないものとする。

【0066】液晶表示装置の駆動回路は上述したように、基本的に、信号線駆動回路、バッファ回路、制御信号発生回路、コモン駆動回路、アドレス線駆動回路に分けられる。以下、それぞれについて詳細に述べる。

## 【0067】1) 信号線駆動回路

信号線駆動回路は、デジタル方式とアナログ方式に大別されるが、コンピュータ等の画像がデジタル方式によるものであることから、整合性の良いデジタル方式について消費電力を検討する。

【0068】デジタル方式の駆動ICは、基本的に信号のサンプリング時間を決めるシフトレジスタ、デジタル信号をラッチするラッチ回路、デジタル信号をアナログ信号に変換するD/A変換回路、信号線を駆動する出力バッファからなる。この場合、消費電力を決める要因は、ラッチ回路と出力バッファであるので、この2つのみを考える。

【0069】ラッチ回路の最大消費電力P<sub>l</sub>、画像信号に関する入力等価容量をC<sub>l</sub>、サンプリングクロックに関する入力等価容量をC<sub>ck</sub>、画像のサンプリング周波数をf<sub>s</sub>、ラッチ回路電源電圧をV<sub>l</sub>でそれぞれ表すと以下のようになる。

$$P_l = (C_l + 2C_{ck}) \times f_s / 2 \times V_l^2 \quad \dots (1)$$

線電圧をV<sub>s</sub>でそれぞれ表すと以下のようになる。

$$P_{ob} = N_h \times C_{ss} \times f_h \times V_s^2 / 2 \quad \dots (2)$$

力P<sub>b</sub>は、クロックf<sub>s</sub>に関する回路の入力等価容量をC<sub>bc</sub>、画像信号に関する回路の入力等価容量をC<sub>bp</sub>、バッファ回路の電源電圧をV<sub>b</sub>でそれぞれ表すと以下のようになる。

$$P_b = (2C_{bc} + C_{bp}) \times f_s / 2 \times V_b^2 \quad \dots (3)$$

消費電力P<sub>ga</sub>は、クロックf<sub>s</sub>に関する回路の等価内部容量をC<sub>gac</sub>、画像信号に関する回路の入力等価容量をC<sub>gap</sub>、ゲートアレイの電源電圧をV<sub>ga</sub>でそれぞれ表すと以下のようになる。

$$P_{ga} = (2C_{gac} + C_{gap}) \times f_s / 2 \times V_{ga}^2 \quad \dots (4)$$

表すと以下のようになる。なお、コモン反転の場合、f<sub>c</sub>は水平駆動周波数f<sub>h</sub>の半分である。

$$P_c = C_c \times f_c \times V_c^2 \quad \dots (5)$$

、アドレス線駆動回路の電源電圧をV<sub>g</sub>で表すと以下のようになる。なお、アドレス線の駆動周波数f<sub>g</sub>は、通常、水平駆動周波数f<sub>h</sub>である。

$$P_g = C_g \times f_g \times V_g^2 \quad \dots (6)$$

50 以上より、回路全体の消費電力P<sub>all</sub>は、以下のよう

なる。

【 0 0 7 6 】

$$\begin{aligned} P_{all} &= P_i + P_{ob} + P_b + P_{ga} + P_c + P_g \\ &= (C_i + 2 C_{ck}) \times f_s / 2 \times V_i^2 + N_h \times C_s \times f_h \times V_s^2 \\ &\quad / 2 + (2 C_{bc} + C_{bp}) \times f_s / 2 \times V_b^2 + (2 C_{gac} + C_{gap}) \\ &\quad \times f_s / 2 \times V_{ga}^2 + C_c \times f_c \times V_c^2 + C_g \times f_h \times V_g^2 \end{aligned}$$

この場合、コモンは一定電圧で  $N_h \times C_{ss} \gg C_g$  とすると、

$$\begin{aligned} P_{all} &= (C_i + 2 C_{ck} + 2 C_{bc} + C_{bp} + 2 C_{gac} + C_{gap}) \\ &\quad \times (f_s / 2) \times V^2 + N_h \times C_{ss} \times (f_h / 2) \times V^2 \\ &= P_{all} (C, f, V) \end{aligned} \quad \dots (7)$$

となり、容量  $C$  と駆動周波数  $f$  (水平周波数と画像のクロック周波数) とデジタル系の電源電圧  $V$  の関数となる。

【 0 0 7 7 】 この場合、上記容量  $C$  はデバイス構造、また、上記電圧  $V$  はプロセスおよび液晶の  $V-T$  特性など  $IC$  および液晶パネル構造で決まる。しかし、周波数  $f$  は画像の水平走査周波数やフリッカ特性など、システム及び画質から決まるもので、駆動法により下げることが可能である。

【 0 0 7 8 】 次に、液晶パネルの消費電力がどのような要因で決まるかを検討する。液晶パネルは、基本的に図 27 (a) と (b) に示すように、画素信号線と行走査線 (アドレス線) によってそれぞれ画像信号と走査信号が伝達され、対応する画素が表示される。この時、画素信号線と行走査線の容量  $C_{sig}$ 、 $C_g$  を駆動するために、それぞれ  $C_{sig} \times f \times V^2$ 、 $C_g \times f \times V^2$  の電力が消費される。この電力消費分は液晶セル  $CEL$  の表示に直接的に寄与するものでないから損失分である。

【 0 0 7 9 】 これを低減するには容量  $C$ 、周波数  $f$ 、電圧  $V$  を下げる必要がある。そして、静止画であれば、周波数  $f$  を "0" にすることができるが、動画であれば通常これを "0" にすることはできないし、複雑な画像であれば各液晶セル  $CEL$  の表示濃度が頻繁に変わることになるので、そのために駆動する電力も増加してしまう。

【 0 0 8 0 】 先に提案されている画素メモリ付き  $LCD$  は、スイッチ  $SW$  を介して得た表示信号をこれら画素メモリに保持させ、このメモリ内容を用いて画素の表示に供するものであるが、これは静止画表示に供する場合に、駆動周波数  $f$  や静的消費電力を低減する効果のある技術であるものの、動画表示に供される場合には、当然、駆動周波数  $f$  を上げる必要があり、そのために全体の消費電力は増加してしまう。

【 0 0 8 1 】 以上のように、従来の液晶表示装置では、表示画像の表示信号を画素毎に保持できるようにした画素メモリ付き液晶表示装置とすると、静止画表示に供する場合に、駆動周波数  $f$  や静的消費電力を低減する効果が期待できるが、動画表示の場合にそのような消費電力低減効果が全く期待できないという問題があった。

【 0 0 8 2 】 そこで、この発明では、動画表示やマルチウィンドウ表示においても消費電力を低減でき、かつ表

示画面を高速に切り替えることができる液晶表示装置を提供する。以下、本発明の実施の形態を具体的に説明する。

【 0 0 8 3 】 (第 1 の実施形態) 図 1 と図 2 は、本発明の第 1 の実施形態に係わる液晶表示装置の概略構成図、図 3 は図 2 の構造における 1 画素分の要素を抽出してより詳細に記述した構成図、図 (a) と図 4 (b) は図 3 の構成における動作例の詳細を示した図である。

【 0 0 8 4 】 図 1、図 2 において、110 は液晶パネル ( $LCD$  パネル)、111 は信号線駆動回路、112 はアドレス線駆動回路、 $L_{al} \sim L_{am}$  は行走査線、 $L_{bl} \sim L_{bn}$  は画像信号線、 $L_{cl} \sim L_{cn}$  は本実施例の特徴部分である書換制御信号線である。

【 0 0 8 5 】 信号線駆動回路 111 は、画素毎にその表示すべき画像が背景画像かオブジェクト画像かにより、それに対応したメモリ選択信号をそれぞれの画素に発生して画像信号線  $L_{bl} \sim L_{bn}$  に出力する。また、信号線駆動回路 111 は、メモリ選択信号を発生するのと同じタイミングで、画素毎にその表示すべき画像の書換えの要求により、書換え指示信号を発生して、それぞれ対応する書換制御信号線  $L_{cl} \sim L_{cn}$  に出力し、続いてつぎのタイミングで各画素毎にその表示すべき画像の信号を、画像信号線  $L_{bl} \sim L_{bn}$  に出力する。

【 0 0 8 6 】 どの画素の表示画像が、背景画像であるか、オブジェクト画像であるか、また、書換えが必要なのか不要であるのかといった情報は、ホストコンピュータ側で各画素毎に事前に処理して、画像信号と共に信号線駆動制御回路 111 に与える。信号線駆動回路 111 は、この情報と画像信号とを受けて、第 1 のタイミングでは書換え指示信号とメモリ選択信号を各画素に出力し、第 2 のタイミングでは画像信号を各画素に出力する。

【 0 0 8 7 】 また、アドレス線駆動回路 112 は、全行走査線  $L_{al} \sim L_{am}$  を走査するに要する時間を周期として、アドレス線 (ゲート線) 駆動信号  $G_1 \sim G_m$  を順次発生するもので、基本的には従来のものと変わりはない。なお、信号線駆動回路 111 は、このアドレス線駆動回路 112 の動作に同期して動作する。

【 0 0 8 8 】 液晶パネル 110 は図 2 に示すように、複数の微小な液晶表示セル  $CEL$  を行列状に配設したものであり、行方向に整列された表示セルを行単位で駆動する行走査線  $L_{al} \sim L_{am}$  と、列方向に配列された表示セ

ルに列単位で画素信号を供給する画素信号線  $Lb1 \sim Lbn$  が配列されている。各液晶表示セル  $CEL$  は、それぞれ対応する行走査線、画素信号線から信号を受ける。

【0089】さらに、書換制御信号線  $Lcl \sim Lcn$  は、画素信号線  $Lb1 \sim Lbn$  にそれぞれにペアで配置されており、これにより、対応画素に書換制御信号を与えることができるようになっている。

【0090】各液晶表示セル  $CEL$  には、画素表示制御回路  $PDC120$  が設けられている。各  $PDC120$  には図3に示すように、画像信号（画素表示データ）を記憶する複数のメモリが設けられている。この例では、説明を簡単にするために、オブジェクト画像用の第1のメモリ素子  $121a$  と、背景画像用の第2のメモリ素子  $121b$  との2メモリ素子構成を示してあるが、図5に示すように、3メモリ素子以上の構成とすることも可能である。

【0091】また、画素表示制御回路  $120$  は、メモリ選択制御回路  $123$  と書換指示回路  $124$  と、メモリ出力切換回路  $125$  を有している。

【0092】第1および第2のメモリ素子  $121a$ 、 $121b$  は、画像信号線  $Lb1 \sim Lbn$  のうち、自己の所属する画素の列位置に対応する画像信号線より画像信号を受取り、これを保持し、その書換え制御は書換指示回路  $124$  により行われる。

【0093】メモリ選択制御回路  $123$  は、行走査線  $La1 \sim Lan$  のうち、自己の所属する画素の行位置に対応する行走査線からゲート駆動信号を受けて、前記第1のタイミングの期間において、画像信号線  $Lb1 \sim Lbn$  のうちの対応する画像信号線から信号  $Sb$  を取り込み、これより、第1および第2のメモリ素子  $121a$ 、 $121b$  のうちのどのメモリ素子を選択するかを指示する信号  $Ss$  を出力して、第1および第2のメモリ素子  $121a$ 、 $121b$  およびメモリ出力切換回路  $125$  に与える。

【0094】この例の場合、信号  $Ss$  が論理レベル“L”の信号の場合は第1のメモリ素子  $121a$  の選択指示であり、信号  $Ss$  が論理レベル“H”の信号の場合は第2のメモリ素子  $121b$  の選択指示である。また、信号  $Sr$  が論理レベル“L”の信号の場合は“書換える”の指示であり、信号  $Sr$  が論理レベル“H”の信号の場合は“書換えない”の指示であるとする。

【0095】画素表示制御回路  $120$  のメモリ出力切換回路  $125$  は、信号  $Ss$  を受けて第1のメモリ素子  $121a$  と第2のメモリ素子  $121b$  の出力のうち、一方を選択するものであり、信号  $Ss$  が論理レベル“L”の信号の場合は第1のメモリ素子  $121a$  を、信号  $Ss$  が論理レベル“H”の信号の場合は第2のメモリ素子  $121b$  を選択するように切り換える。

【0096】このメモリ出力切換回路  $125$  を介して得られる第1または第2のメモリ素子の出力により、液晶セル  $CEL$  は、その出力に応じた画素表示を行う。液晶

表示セル  $CEL$  はこの画像信号線からの印加電位と、コモン電源  $VCOM$  の電位との電位差分の電圧が加えられることにより、その電圧に応じて画素濃度を変化させる。

【0097】本システムでは、図3に示すように各画素はそれぞれ複数のメモリ素子を具備している。そして、この複数のメモリ素子には、背景画像用の画素表示に供する画像信号（画像データ）と、オブジェクト画像用の画素表示に供する画像信号のうちのいずれか一つをそれぞれ保持させるようにし、また、これらメモリ素子のいずれかを選択する信号を外部から与えてメモリ素子を選択することによって、その選択したメモリ素子の内容を画素の表示内容とするようにしている。

【0098】いずれのメモリ素子を選択するかは、各液晶セルあてに出力される画像信号の出力動作に先立ち、書換えの指示信号と共に信号線駆動回路  $111$  から各液晶セルあてに出力され、その後、画素別に画像信号が各メモリ素子に供給される。

【0099】画像が変化する場合には、その変化を画素に反映させるようにするため、選択されているメモリ素子に対してその画像信号を書き込み、その書き込んだ画像信号を用いて液晶セル  $CEL$  を表示させ、また、画像が変化しない場合には書き込みは行わず、その変化しない画像の画像信号を既に保持しているメモリ素子から読出して、液晶セル  $CEL$  の表示に供するようにする。

【0100】つぎの画面に1部分でも画像の変化部分がある場合、従来は外部からその画面用の画像信号（1画面分）を入力し、それを用いて各液晶セル  $CEL$  のメモリの内容を書換えると共に、その書換えた画像信号により、液晶セル  $CEL$  の画像表示を行うようにしていた。

【0101】本発明では、上記各液晶セル  $CEL$  が有している複数のメモリ素子のうちで、つぎに表示すべき画像信号の内容に近い信号を保持したメモリ素子があれば、そのメモリ素子を選択される。すなわち、変更の無い画像信号の場合は、1画面分の画像信号の各メモリ素子への書換えを行わずに、変更のあった画素についてのみ、画像信号が書換えられる。

【0102】これにより、動画像のように画面内の多くの部分は変わらず、1部分の画素のみが変化するような画像の表示の場合に、変化のない画素は書換えを行わずに前に保持している画像信号をそのまま流用するようにすることになるので、各画素のメモリ内容を無用に書換えし直す無駄を省くことができる。この結果、動画像表示においても、電力消費の大きい書換え動作を行わずに済む画素が多数にのぼることから、低消費電力化を図ることができるようになる。

【0103】次に、本実施例のさらに詳しい動作を例に基づいて説明する。図3のように、各画素に持たせるメモリ素子を、第1のメモリ素子  $121a$  と第2のメモリ素子  $121b$  の2つとし、第2のメモリ素子  $121b$  は背景画像の情報を保持するためのメモリ素子として用い

た場合について考える。

【0104】まず、表示画像としては図4(a)に示すように、画面の背景Bが白の画像中において、画面位置Pijにある1画素相当の黒の点OBJが(I)の状態から、(II)の状態の画面右位置Pklに移動する場合について説明する。

【0105】液晶パネルには前述のように、各行に行走査線Lal~Lanがあり、また、列方向にメモリ選択信号と画像信号の伝達に用いられる第1の信号線Lbl~Lbnと書き換え信号伝達用の第2の信号線Lcl~Lcnとがある。

【0106】図4(b)に液晶セルにおける各信号のタイミングチャートを示す。この場合、時刻t1において画面位置Pijに黒の画素が表示されている。白画面において、1画素の黒点が移動する例であるから、背景画像としては最後まで白である。従って、各画素位置の液晶セルの2つのメモリ素子121a、121bのうち、背景用メモリ素子である第2のメモリ素子121bの内容は、最初に背景画像用として与えられた白の画像信号を保持した後は、背景用として書き換える必要がない。

【0107】また、移動するオブジェクト画像である黒の点の画像信号は、表示位置にある液晶セルの持つオブジェクト画像用の第1のメモリ素子121aに書き込まれ、表示に供されることになるが、その前のフィールドでの黒の点(オブジェクト画像)の表示位置にある液晶セルの第1のメモリ素子121aにも、さらにその前の段階で既に黒の点の画像信号は書き込まれていて、背景画像に戻すために、従来ならばこれを白に書き換える必要があった。

【0108】本発明では、このような背景画像への書き換えを不要にするために、液晶セル毎のメモリ素子を2つ設けて、1つをオブジェクト画像用に、もう1つを背景用に使用し、切換えて利用する。

【0109】図4(a)の例では、(I)において画面位置Pijにおける画素は、その前のフィールドでの黒表示の状態をそのまま継続し、つぎのフィールド(II)では黒の画像は画面位置Pklに移り、画面位置Pijにおける画素は、黒の表示から白に変わる。各信号のシーケンスを、図4(b)に従って説明する。画面位置Pijの画素に対応する行走査線はLai、第1および第2の信号線はLbj、Lcjであるとする。

【0110】画面位置Pijにおける画素は、ここに黒点が表示される前に、既に背景画像の表示状態を経ているとすれば、この画素位置における液晶セルの持つ第2のメモリ素子121bには背景画像の画像信号が保持されている。そして、その後、この画面位置Pijにおける画素に黒点表示がなされて図4(a)の(I)の状態に至ったとすると、この画素位置における第1のメモリ素子121aにはオブジェクト像の画像信号である黒の画像信号がその時点で書き込まれ、保持されていることにな

る。

【0111】そして、時刻t1時ではまだ画面位置Pijに黒点を表示し、その後、図4(a)の(II)の状態に移るとすると、t1時には第1のメモリ素子121aの画像信号をそのまま表示に使用し、次にt2時には第2のメモリ素子121bに切換えて、この第2のメモリ素子121bの保持している画像信号を使用して背景画像の画素表示を行う。

【0112】この様子を図4(b)に従って詳細に説明する。まず始めに、行走査線Laiに行走査用のゲート駆動信号が選択パルスP1として入力されると(時刻t1)、これに同期して第1の信号線Lbjには、第1のメモリ素子121aを選択するのか第2のメモリ素子121bを選択するのかを指示するための選択信号Sbが、1水平行走期間の前半1/2周期の間に入力され、そして、時刻t2の時点から始まる1水平行走期間の後半1/2周期の間に、信号線Lcjにはメモリを書き換えるか書き換えないかを定める書き換え信号Scが入力され、また、この後半1/2周期の間には、第1の信号線Lbjにこの水平行走位置に対応する画像信号が入力されることになる。

【0113】本発明では、画像信号を保持する第1および第2のメモリ素子121a、121bの選択指令を信号線Lbj上に出力した後、画像信号を信号線Lbj上に出力するといった信号供給形態をとる。

【0114】そして、上述の時刻t1においては、画面位置Pijの画素は、それまでと同様に黒表示のままであるから、オブジェクト画像用の第1のメモリ素子121aを選択するようにするために、メモリ選択回路123は選択信号Ssとして第1のメモリ素子121a選択用の信号である“L”なる信号を、そして、メモリ内容を書き換えないようにするために、書き換え指示回路124は、信号Srとして書き換えないことを意味する信号である“H”なる信号を出力する。そして、その画素での画像信号は、1水平行走期間の後半に、信号線Lbjに出力される。

【0115】この画像信号は第1のメモリ素子121aに与えられるが、信号Srとして書き換えないことを意味する“H”なる信号が与えられているために、第1のメモリ素子121aの内容は書き変わらない。選択信号Ssである“L”の信号はメモリ出力切換回路125にも与えられ、メモリ出力切換回路125は第1のメモリ素子121aを選択することになる。

【0116】これらの動作により、前に保持した第1のメモリ素子121aの内容が、メモリ出力切換回路125を介して液晶セルに与えられ、液晶セルはこの第1のメモリ素子121aの内容に対応する階調で画素を表示することになる。

【0117】つぎに、時刻t3になると行走査線Laiに行走査用のゲート駆動信号が、選択パルスP1として再び

入力される。そして、これに同期して第 1 の信号線 L<sub>bj</sub> には第 1 / 第 2 のメモリ素子 1 2 1 a, 1 2 1 b の選択指示のための選択信号 S<sub>b</sub> が 1 水平走査期間の前半 1 / 2 周期の間に出力され、そして、時刻 t<sub>4</sub> の時点から始まる 1 水平走査期間の後半 1 / 2 周期の間に、信号線 L<sub>cj</sub> にはメモリ素子の書換え可否を決める書き換え信号 S<sub>r</sub> が、そして、第 1 の信号線 L<sub>bj</sub> にはその水平走査位置対応の画像信号が入力されることになる。

【0 1 1 8】 t<sub>3</sub> 時点での画面位置 P<sub>ij</sub> には、黒点は既に移動して背景の画像表示に戻った状態の表示がなされねばならないので、画面位置 P<sub>ij</sub> における画素表示は背景画像の白である。従って、第 1 / 第 2 のメモリ素子の選択信号 S<sub>s</sub> は、背景画像を保持している第 2 のメモリ素子 1 2 1 b を選択する選択信号である “H” となる。この信号はメモリ出力切換回路 1 2 5 にも与えられ、メモリ出力切換回路 1 2 5 は第 2 のメモリ素子 1 2 1 b を選択することになる。

【0 1 1 9】 この結果、第 2 のメモリ素子 1 2 1 b が選択され、このメモリ素子の保持している画像信号が液晶セルに与えられ、この液晶セルを白画素として表示することになる。

【0 1 2 0】 また、このとき、メモリ内容を書換えないようにするために、書換指示回路 1 2 4 は信号 S<sub>r</sub> として “H” を信号線 L<sub>cj</sub> に出力する。そして、1 水平走査期間の後半に、信号線 L<sub>bj</sub> にその画素での画像信号が入力されるが、この画像信号は第 1 のメモリ素子 1 2 1 a に与えられるものの、信号 S<sub>r</sub> として “H” が与えられているために、第 1 のメモリ素子 1 2 1 a の内容は書き変わらない。

【0 1 2 1】 従って、液晶セルを白画素表示するために使用された画像信号は、背景画像用の第 2 のメモリ素子 1 2 1 b に保持されていた過去の画像信号であり、新たに書換えをしない分、書換えに要する電力を消費せずに済むようになる。

【0 1 2 2】 メモリ内容を書換えるときは、信号 S<sub>r</sub> として “L” を与えると、第 1 および第 2 のメモリ素子 1 2 1 a, 1 2 1 b のうち、そのときに選択されているメモリ素子に、そのときに第 1 の信号線 L<sub>bj</sub> に出力されている画像信号が与えられて書き込まれることになる。この場合には、その選択されているメモリ素子に書き込まれた画像信号により画素の表示がなされることになる。

【0 1 2 3】 このように、動画像の場合、主として動くのはオブジェクト画像であり、シーンが変わったり、アングルが変わったり、あるいは、ズーミングやテレワイドを行うといったことが無ければ、一般的には背景は変化が無いが、変化があってもその変化は少ない。

【0 1 2 4】 本発明はこれに着目し、背景とオブジェクト画像は画素毎に別のメモリに保持させ、その画素での画像表示がオブジェクトであるか、背景であるかにより、メモリを切換えて画素表示に供するようにしてい

る。

【0 1 2 5】 オブジェクト画像が動いた場合にも、保持している背景画像の画像信号をそのまま利用できるときはその背景画像信号をそのまま利用することにより、従来ならばオブジェクト画像から背景画像にメモリ内容を書換えて改めなければならなかったものを、書換えを行わずに済むようにしている。

【0 1 2 6】 その結果、液晶表示装置の周辺回路としての信号線駆動回路やゲートアレイなどを、メモリ書換えのための信号が通過するのを抑制できるようになるため、書換え頻度が頻繁な画像になればなる程、消費電力を大幅に低減する効果が期待できる。

【0 1 2 7】 なお、本発明は上述した具体例に限定されるものではなく、種々変形して利用可能である。例えば、マルチウインドウ化した場合に、隠れて見えなくなったウインドウ画面を複数のメモリに蓄積することにより、ビデオメモリからの読出しを行わずに、瞬時に前記メモリより読出してウインドウを切り換えるという構成も考えられる。また、さらに全く別の画像を入れておくことにより、見せたくない背景画像を自分好みの背景にしたりすることも可能である。

【0 1 2 8】 (第 2 の実施形態) 図 6 に、本発明の第 2 の実施形態に係わる液晶表示装置の構成を示す。本実施形態の液晶表示装置は、通常の駆動回路に比較して、任意の画素に対して独立に画像信号の書き込みを行うための行アドレス線駆動回路 2 1 2 と列アドレス線駆動回路 2 0 5 を有し、これらのアドレス線駆動回路 2 1 2、2 0 5 を制御するためのアドレスデコーダ 2 0 3、さらに表示画像を切り換えを行うためのメモリ切換制御回路 2 0 6 を有していることが特徴である。

【0 1 2 9】 まず、液晶表示装置に画像信号を供給しているコンピュータなどの情報機器側 (以下ホストシステム側と称する) から供給された入力信号は、表示制御回路 2 0 1 により信号線駆動回路 2 0 2 に供給される画像信号と、アドレスデコーダ 2 0 3 に供給される制御信号とに分離される。

【0 1 3 0】 信号線駆動回路 2 0 2 に供給された画像信号は、表示に必要な所定の電圧に昇圧された画像信号 2 2 1 として表示パネル 2 1 0 に供給され、画像信号 2 2 1 は表示パネル 2 1 0 に内蔵されているメモリ回路に供給される。制御信号は、アドレスデコーダ 2 0 3 に入力され、そこで画像信号 2 2 1 を表示パネル 2 1 0 の中のいずれの画素に書き込むかが決定される。また、このアドレスデコーダ 2 0 3 により、表示パネル 2 1 0 内の画像信号保持用メモリ回路のいずれのメモリに書き込むかが決定される。

【0 1 3 1】 行アドレス線駆動回路 2 1 2、列アドレス線駆動回路 2 0 5、メモリ切換制御回路 2 0 6 は、いずれも信号線駆動回路 2 0 2 と同様に、アドレスデコーダ 2 0 3 のデコード結果に従い入力された制御信号を、表

示パネル210の中のメモリ回路の内容更新に必要な電圧に昇圧して、表示パネル210内部のメモリ回路に各々制御信号を供給する。

【0132】図7に表示パネル210内部の回路構成の一例を示す。この例では、信号線駆動回路202から供給された画像信号221は、画像信号スイッチ271の一方の端子に接続されている。画像信号スイッチ271は、行アドレス線駆動信号241により導通状態(ON)となる。

【0133】また、画像信号スイッチ271の他方の端子は、列アドレス線駆動信号251により制御されるスイッチ272の一方の端子に接続されている。従って、スイッチ271および272が同時にONしないと、画像信号221は画素内部のメモリ回路273に供給されない。換言すれば、行アドレスと列アドレスの組み合わせにより、任意の位置の画素に画像信号を書き込むことができる。

【0134】また、メモリ回路内部のいずれのメモリ素子を更新するか、またいずれのメモリ素子の値で液晶セル210を駆動するかが、メモリ切換制御回路206から供給される切換信号261により決定される。

【0135】図8にメモリ回路273の第1の構成例を示す。この例のメモリ回路273では、スイッチ272から供給される画像信号275が、切換信号261がハイレベルの場合にONするトランスファゲート232a、232bと、切換信号261がローレベルの場合にONするトランスファゲート233a、233bに供給される。切換信号261はトランスファゲート232a、232bのゲート電極とインバータ回路231に供給されている。インバータ回路231は切換信号261を反転し、その反転信号はトランスファゲート233a、233bのゲート電極に供給されている。

【0136】図8の例では、切換信号261がハイレベルの場合、メモリ素子230aの表示信号の更新が行われ、液晶セル276を駆動する液晶駆動信号274は、メモリ素子230bの内容により決定される。また、メモリ素子230a、230bは、いずれもトランジスタとコンデンサで構成されたDRAM型であり、メモリ素子の正確な動作のためには、ある一定周期でメモリ素子230a、230bの内容を更新(リフレッシュ)する必要がある。

【0137】図9にメモリ回路273の第2の構成例を示す。この構成例はスタティック型で構成されているためリフレッシュの必要がない。従って、一度メモリ回路273に画像信号の書き込みを行えば、その状態が次の画像信号更新まで保持される。なお、図9の構成例においても書き込みや液晶セル駆動については、図8の例と同様に行われ、切換信号261がハイレベルの場合、メモリ素子230a'の画像信号の更新が行われ、液晶セル276を駆動する液晶駆動信号274はメモリ素子230

b'の内容により決定される。

【0138】メモリ回路273が図9の構成例のようなスタティック型であれば、メモリ回路273に書込まれた画像信号は、表示画像内容が変更されたときのみに行うことができる。従って、ホストシステム側から表示装置側に伝送される画像データも画像信号が更新されるときのみに行えばよい。

【0139】図10に画像信号伝送の例を示すタイミングチャートを示す。通常の表示では、表示装置を駆動するための同期信号に、画像信号を同期させて信号伝送を行う必要があり、画像信号の伝送は常に行われているが、メモリ回路273がスタティック型の場合は、同期信号に合わせて画像信号を伝送する時間は、CPU側(ホストシステム側)で画像信号更新が発生した後のみでよい。

【0140】従って、通常の表示装置に画像信号を伝送する場合に比べて画像信号伝送時間は短時間で済むため、画像信号の伝送電力が削減でき、また画像信号の伝送時に発生する電磁ノイズも低減することができる。

【0141】図9に示すように、液晶表示装置に画像を表示する動作は、同期信号に同期して行われる画像信号のリフレッシュや極性反転などとして、常に行われているが、実質的な画像信号の更新の実行は、ホストシステム側で表示データを格納しているビデオメモリを更新する時間と回数に依存する。従って実質的に表示画像を更新するための更新スピードはホストシステム側のビデオメモリ更新速度に依存している。

【0142】ホストシステム側で有するビデオメモリが、液晶表示装置にある表示画素総数以上の容量を有する場合、ホストシステム側のビデオメモリ更新と同時に、液晶パネルに内蔵されている画像信号メモリの中の表示に使用していない画像信号メモリの内容を、表示できない、つまり表示画素総数以上に相当するビデオメモリのデータで更新することにより、見かけ上ホストシステム側のビデオメモリの更新速度以上の速度で画像信号の切換が可能となる。

【0143】1例として図11に、画像信号の高速切換を行う場合の画像信号伝送のタイミングチャートを示す。例えば、フォアグラウンドでホストシステムのユーザーがワードプロセッサなどを実行して、バックグラウンドで通信を行いながらデータベースの検索を行うようなマルチタスク処理を行っているとする。ワードプロセッサでの文書作成の場合などは、ユーザーからのキー入力オフ時にはバックグラウンドのタスクが実行される。

【0144】バックグラウンドで前述のようなデータベースの検索などを行った場合には、その実行結果を画面に表示する必要がある。そのため、図11に示すように、バックグラウンド処理のプログラムが計算処理(データベースの検索マッチングやその結果の取り出しなど

の処理)を終了した結果が、液晶表示装置側で内蔵されている画像信号メモリの中の表示に使用していない画像信号メモリへ、バックグラウンドの画像信号として伝送される。

【0145】つまり、ホストシステム側のバックグラウンド処理では、液晶表示装置の画素内のメモリを仮想スクリーンとして、通常の液晶表示装置の画像信号更新と同様な書込手段により、メモリ内容の更新が行われる。途中でユーザーがシステムのアプリケーションをバックグラウンドとフォアグラウンドで入れ替えを行った場合には、図11に示すように、CPUがバックグラウンド表示データ更新に要する時間よりも短い時間で、場合によっては時間差を生じることなく、ユーザーのアプリケーション切替要求で表示画像の高速切替が可能になる。

【0146】このように、液晶パネルの画素内部のメモリをバックグラウンド表示画像により更新を行う場合でも、画像信号自体の伝送は同期信号に同期させて常時行う必要はなく、図11に示すように画像信号の更新が必要となきだけ表示を行えば良い。従って、通常の表示装置に画像信号を伝送する場合に比べて、画像信号伝送時間は短時間で済む。このため、画像信号の伝送電力が削減でき、また画像信号の伝送時に発生する電磁ノイズも低減することができる。

【0147】次に、本発明の応用例として、液晶シャッター付き眼鏡を利用した立体画像(3D)表示に付いて説明を行う。一画面を時分割で右目用画像と左目用画像を表示し、その表示タイミングに合わせてユーザーが掛けている液晶シャッター付き眼鏡の液晶シャッターを切替動作させることにより、3D画像表示ができる。

【0148】3D画像の表示の場合には、例えば図12に示すように、右目用画像または左目用画像のどちらか一方を実スクリーン画像、他方を仮想スクリーン画像としてホストシステム側で予め割付を決めておく。

【0149】ホストシステム側では、変更する必要の生じた画像についてのみ書換を行えば良いので、従来の液晶シャッター付き眼鏡のように右目用画像と左目用画像の全画面を常時書換を行う必要が無く、液晶表示装置の垂直同期信号タイミングにとらわれない画像信号の更新が可能となる。

【0150】従来ならば、右目用画像と左目用画像の画像信号の切換えは、ホストシステム側から送られてくる垂直同期信号に同期した周期でなければ、画面の切換えができなかった。

【0151】通常は垂直同期信号は60Hzであるため、右目用画像または左目用画像は、それぞれ単独では30Hzでしか表示できない。そのため、液晶表示装置自体は60Hzで表示を行っているにも拘らず、30Hzのフリッカが視認されてしまうという問題があったが、液晶表示装置表示画像を切換えるメモリ切替制御信号261を高速に切り換えることにより、フリッカの無

い3D画像の表示が可能になる。

【0152】なお、メモリの切替制御や一画面の画像信号の更新は、ホストシステム側の制御に従って行われる必要がある。つまり、図8あるいは図9のメモリ回路構成例の場合は、右目用画像が表示されている場合は、左目用画像の更新しかできないため、ホストシステム側から供給される画像信号の更新は、液晶表示装置で表示が行われている表示画像とは逆の画像信号である必要がある。

10 【0153】この問題は、液晶表示装置の1画素内部のメモリを、2組よりも多く持つことにより回避できる。すなわち、1枚目と2枚目のメモリで切替表示する右目用画像と左目用画像を保持しておき、この2枚に付いて高速に切り換えて表示を行い、3枚目と4枚目のメモリについて、次に表示を行う右目用と左目用画像の更新を行えば、表示画像の切り換えスイッチの動作タイミングに、画像信号の更新タイミングは制限を受けなくなる。

20 【0154】このようにしてメモリ切替制御信号261を高速にするに従い、観察される画像は滑らかになり、常時右目用画像と左目用画像の表示を行っている場合と同等な表示が可能となる。

【0155】つまり、この様に高速にメモリを切り換えて表示を切り換えることにより、等価的に液晶パネルの画素数が、右目用画像と左目用画像の両方に対応した画素数(2倍)まで増加したように観察され、表示品位が向上する。従って、右目用画像と左目用画像を、表示装置の同期信号に左右されず高速に切替えることにより、フリッカーのない高品質な3D画像が表示可能になる。

30 【0156】以上のように本実施例によれば、表示素子に画像信号を供給しているメモリ以外のメモリの画像信号保持内容が、表示装置に画像信号を供給しているホストシステム側でバックグラウンド実行されている実行結果により更新される。これにより、ホストシステム側でアプリケーションの切替えが行われたときには、表示画像とメモリ内画像信号を高速に切替えることができ、画面更新時間を短縮することが可能となる。

【0157】また、行列状に配置された表示素子の素子総数よりも、大容量の画像信号をメモリに保持し、そのメモリの画像信号と現画像信号とを高速に切替えて表示素子を駆動することにより、等価的に表示素子総数よりも多い表示画素数の表示画像を表示することが可能となり、高精細かつ低消費電力の表示装置が実現できる。

【0158】(第3の実施形態)図13は、本発明の第3の実施形態に係わる液晶表示装置の要部の構成を示す。本実施形態の液晶表示装置は、図に示すように、液晶表示パネル310、信号線駆動回路311、アドレス線駆動回路312、アドレス線カウンタ回路324、アドレス線選択信号発生回路325、制御線駆動回路326、制御線カウンタ回路327、制御線選択信号発生回路328を具備する。

50

【0159】信号線駆動回路311に画像信号SIが入力され、それに同期してアドレス線カウンタ回路324の信号CIに合わせて、アドレス線（不図示）が順次選択されていく。任意のアドレス線の選択／非選択は、アドレス線選択信号発生回路325より出力されたアドレス線選択信号S2によって決定される。同様にして、制御線カウンタ回路327の信号C2に合わせて、制御線（不図示）が順次選択される。任意の制御線の選択／非選択は、制御線選択信号発生回路328より出力された制御線選択信号S3によって決定される。

【0160】図14は、本実施形態の液晶表示パネルの概略のセル構成を示している。基本的なセル構成は、液晶容量CLCと、補助容量Csとからなる液晶セルCELと、メモリ回路321と、スイッチSW1、SW2とから成っている。

【0161】FETより成るスイッチSW1のゲート電極はアドレス線302に、ソース電極は信号線301に夫々接続しており、スイッチSW1のドレイン電極とスイッチSW2のソース電極との間にメモリ回路321が接続され、スイッチSW2のゲート電極が制御線306に接続されている。

【0162】これにより、アドレス線駆動回路312より各アドレス線302にON電圧が印加され、引き続き制御線駆動回路316より制御線306にON電圧が印加され、スイッチSW2がONとなった画素CELへは、メモリ回路321より画素信号が印加される。

【0163】従来、行列状に配列された画素に画像信号を書き込む場合、行方向に配列された複数のアドレス線を上から順に走査していき走査されたアドレス線に接続されている横1列の全スイッチがオンとなり、信号線からの信号が画素に書き込まれていた。

【0164】この場合、同一のアドレス線に接続されている同一行のスイッチはすべてオンとなり、同一行に配設された全ての画素に所望の信号を与えなければならない。つまり、前フィールドと次フィールドにおいて同じ画像を表示する場合においても、同一の画像信号を供給しなければならなかった。

【0165】本実施形態の構成であれば、制御線306および制御線駆動回路316を設けて、画像情報が変わらない画素へのコンピュータ側からの画像信号の送信を無くすることができるので、液晶セルおよび周辺回路の消費電力を大幅に低減することができる。信号線を駆動するための電力は、液晶セルの表示電力に比べて格段に大きいので、信号線の不必要な駆動を抑制できることの効果は大きい。

【0166】図15は、本実施形態の液晶表示パネルのセル構成の変形例として、メモリ回路毎に選択的に書き込みを行える液晶パネルのセル構成を示す。本実施形態では、列アドレス線335、列アドレス線駆動回路317、スイッチSW1とメモリ回路331の間に挿入され

列アドレス線335でその導通が制御されるスイッチSW3をさらに具備するところに特徴がある。

【0167】メモリ回路331への書き込みは、行アドレス線332および列アドレス線335に共にON電圧が印加された交点の画素のメモリ素子について行われる。これにより行方向に配列したメモリ素子内においても、選択的に書き込み動作をさせることができる。また、連続した複数の行アドレス線332および連続した複数の列アドレス線を駆動することにより、複数のメモリ回路にブロック単位で選択的に書き込むこともできる。

【0168】図16に、表示素子毎に選択的に書き込みを行える液晶パネルのセル構成を示す。本例では、スイッチSW3がメモリ回路341とスイッチSW2の間に挿入されている。表示素子CELへの書き込みは、ともにON電圧が印加された行制御線344および列制御線345の交点の表示素子に対して行われる。これにより行方向に配列された複数の表示素子についても、選択的に書き込み動作をさせることができる。また、ブロック単位で制御することで複数の表示素子に選択的に書き込むこともできる。

【0169】上記図15と図16の実施形態において、スイッチSW1、SW2、SW3を適宜動作させることにより、表示素子への直接書き込み、メモリ回路のみへの書き込み、書き込み無しなどの選択を任意に行うことができる。

【0170】（第4の実施形態）第4の実施形態は、第3の実施形態を応用して、表示色A、Bを切り換えることにより中間調を表示するFRC（Frame Rate Control）に関するものであり、図17に概略のセル構成を示す。第3の実施形態と同一箇所には同一番号を付して重複する説明を省略する。

【0171】メモリ回路351内には、少なくとも2つ以上の表示色を記録できる複数のメモリ素子を持ち、複合同期信号355（以下ENABと呼ぶ）を変えることによって、各メモリ素子には信号線353より表示色A、もしくは表示色Bが印加される。

【0172】メモリ回路からの出力はクロック信号356の周波数に合わせて行われるが、書き込み動作は制御線354によってコントロールされる。よってメモリ素子のクロックCLKを変えることで、FRCの切り換え周波数も変えられるため、例えば切り換え周波数を120Hzとすると、切り換えによるフリッカは60Hzとなるため、フリッカが視認されない領域とすることができる。

【0173】また、画像情報は同じだが極性の異なる信号を表示色AおよびBとすることでクロックに同期した極性反転を行わせることもできる。

【0174】（第5の実施形態）第5の実施形態は、第4の実施形態の変形例であり、表示色A、Bを空間的に

10

20

30

40

50



変調することにより中間調を表示するディザや誤差拡散法等において、隣接するメモリ素子間で表示色の送受信を行う場合に関するもので、図 18 に概略のセル構成を示す。

【0175】隣接する画素 CEL1、CEL2 に付属するメモリ回路 361、367 において、ENAB によって画素への書き込み表示色が選択される。また、CLK より発せられるクロック信号に同期して、メモリ回路 361 から 367 への画像情報のシフト、もしくはメモリ回路 367 から 361 への画像情報のシフトが行われ

る。

【0176】これにより、例えば隣接画素間で空間変調によって中間調をつくるディザ方式において、市松模様を表示した場合に、従来では図 19 (b) のように一方の表示色 A のみが表示されることになる。しかし、本実施例では表示色 B を隣接画素から受け取ることができるため、表示色 A、B とともに表示することができる (図 19 (a))。但しこの場合、変調は時間軸方向で行われ

る。

【0177】また、第 4 および第 5 の実施形態を組み合わせることにより、画質をさらに改善することができる。

【0178】(第 6 の実施形態) 第 6 の実施形態は、シフトレジスタ機能をもつメモリ回路と、画素電極へ画像信号を入力できる別の手段を画素毎に持つ構成に関するものであり、図 20 は本実施例に係わるセル構成図である。

【0179】シフトレジスタ機能を持つメモリ回路 381 は、クロック信号線 388 のクロックに同期して、データ転送線 389 によって隣接画素間でデータの送受信を行う。この場合セレクト信号線 390 のセレクト信号によって、左右もしくは上下でのデータの転送を選択する。

【0180】メモリ回路 381 への記録動作は、信号線駆動回路 311 から信号線 383 を通して画像信号を受け、アドレス線 382 に ON 電圧が印加されるとメモリ回路 381 への記録が行われる。画素電極への書き込みは、行制御線 387 および第 1 の列制御線 385 に ON 電圧が印加された場合は、メモリ回路 381 からの画像情報が書き込まれるが、行制御線 387 及び第 2 の列制御線 386 に ON 電圧が印加された場合は、信号線 384 からの画像信号が直接書き込まれる。

【0181】換言すれば、本実施例の表示装置は 1 画素に対して 2 つの画像入力手段を持つ。これにより背景画像をメモリ回路に記録し、動体は第 2 の入力手段を用いて直接画素へ書き込むようにすることができる。

【0182】また、静止画内に動画のウィンドウを表示した場合において、静止画の画像情報はメモリ回路内に記録し、動画は第 2 の入力手段を用いて直接表示素子に書き込むことができる。このようにすれば、静止画は駆

動周波数を下げて表示し、動画は高い周波数で表示することができるので、消費電力を下げられるばかりでなく、画質をより改善することができる。

【0183】また、メモリ回路内に記録した画像に関しては、クロック信号とセレクト信号によって容易にスクロールすることができる。

【0184】(第 7 の実施形態) 第 3 ないし第 6 の実施形態において、メモリ回路内にいくつかのレジスタ部を設ければ、ウィンドウ画像、初期画面、コンピュータの立ち下げ時の画面を記録することができる。

【0185】第 7 の実施形態はこのような例で、この方式を用いれば、スクリーンセーブ効果を持つ表示画像を記録することによって、長時間にわたり書き込みを行わない場合、メモリ回路内の画像情報を画素電極に書き込むことで、スクリーンの焼き付きを防ぐこともできる。この場合、コンピュータからの画像信号は送らずに、図 17 に示した ENAB 信号によって制御できるため、消費電力を低減することができる。

【0186】以上本発明の第 3 乃至第 7 に実施形態によれば、一旦メモリ回路内に記録した画像情報を用いて表示素子への書き込み信号を決めるため、前フィールドと次フィールドの間で画像情報が変わらない場合、ホストシステム (コンピュータ) と液晶表示装置周辺回路間でのデータの送信が無くなり、消費電力を低減することができる。また、メモリ回路に画像情報が保存されており、表示素子への書き込み回数を減らすことなく消費電力の低減が行われる。

【0187】また、FRC またはディザなど複数の表示色によって中間調を表示する駆動方法において、ある一定のパターンで駆動した場合に画像によってフリッカまたは誤表示が生じる場合に、表示色を 1 画素内で切り換えて表示することができるため、画質劣化を生じさせることなく画質を改善できる。

【0188】また、スクロールする画像をメモリ素子内に記録し、動体については直接表示素子への書き込みができるため、スクロールする画像に対するコンピュータから表示装置周辺回路への信号送信を大幅に低減でき、消費電力を低減できるばかりでなく、動体については最適の駆動周波数で書換えが行われるため、よりリアルな表示を行うことができる。

【0189】また、色々な画像情報をメモリ素子内に記録しておくことができるため、高速な画面の書換えが行える。これは画像情報をホストシステム内のメモリから呼び出し、表示装置周辺回路に送信する動作に伴う時間差が、ウィンドウの切り換えなどで発生する場合に、一旦表示画面の切り換えを行ってから画像情報をアクセスするという構成を取れるため、ユーザーの使いやすさをより改善する。

【0190】(第 8 の実施形態) これまでの実施例では、画像は 1 フレーム前の画像か背景画像等のように、

全く同じ画像が存在する時のみ消費電力を低減できるが、第8の実施形態では、複数のメモリに保持された画像の内最も相関の強い画像を選択するだけでなく、その画像との違い、すなわち差分を伝送する方法について説明する。画像が全く同じでなくとも差分のみ伝送すればよいので、駆動する電圧を大幅に低減でき、消費電力も低減できる。

【0191】図21は、本発明の第8の実施形態に係わる液晶表示装置の概略の構成を示した図である。液晶表示パネル410には、複数の画素が行列状に配列され、10 列方向に画像信号を供給する信号線駆動回路411、行単位にアドレス線を走査するアドレス線駆動回路412、画素内のメモリ回路を選択するメモリ選択信号を供給する選択信号駆動回路418が具備されている。

【0192】液晶パネル410の中には、簡略化のために、1画素分のみが描かれている。各画素には、2つのメモリ回路PM1、PM2と、第1および第2のメモリ選択回路421、422、加算器425、信号線と加算器425の間に挿入されたスイッチ426、選択信号駆動回路418と第2のメモリ選択回路422の間に挿入されたスイッチ427が含まれる。20

【0193】液晶パネルの外部回路として、2つのメモリ回路FM1、FM2、第3および第4のメモリ選択回路401、402、減算器405が設けられている。

【0194】まず始めに、画像を伝送する側の外部回路で、複数の画像の内、最も相関の強い画像が選択される。この場合、2つの画像を考え、メモリ回路FM1とFM2にそれぞれが記憶されており、メモリ回路FM2には例えば背景がメモリされているとする。2つの画像から選択された画像と、入力された画像との違い(差分)が減算器405により作成され、どの信号を選択したかが分かるような選択信号と差分信号が信号線駆動回路411に伝送される。30

【0195】受け側の液晶パネル410では、各画素のメモリ回路PM1、PM2の対応する1つに記憶された画像信号と伝送された差分信号とを加算器425で加算して、画像信号を再生する。メモリ回路PM1、PM2の選択は、第4のメモリ選択回路402より送られた選択信号を受けた選択信号駆動回路418により、第2のメモリ選択回路422が駆動されることにより行われる。この場合、再生された信号が背景である場合には、背景メモリのデータが更新される。40

【0196】このような外部回路で複数の画像の1つを選択してその差分を伝送する方式は、現在伝送方式として標準化された画像圧縮方式MPEG2等では既に行われており、この画像圧縮方式と外部回路を共通にすることも可能である。

【0197】従来は、このような圧縮方式を用いた画像を再生する場合は、再生された信号を液晶パネルに加えているため、折角伝送信号として圧縮された信号がきて

も、表示する段階では通常の画像信号になってしまうために無駄な情報量が増え、その分消費電力が増加していた。しかしながら本発明によれば、差分信号として圧縮された信号が、画素に行き着くまで伝送されるので、無駄な情報量の増加を防ぐことができる。

【0198】この実施例では、背景画像あるいは1フレーム前の画像と、現画像とを比較して、相関のある方との差分を作成したが、1フレーム前の画像でも同じ位置の画像だけでなく、別の位置の画像と動きベクトルを伝送するMPEG方式と同様なプロセスで画像圧縮をして、それを画素内で再生する図22の方法でも実施することができる。図22において、408は液晶パネル外部に設けられた画像圧縮エンコーダであり、431は液晶パネル410内の各画素に設けられたデコーダである。

【0199】(第9の実施形態) 各画素に複数のメモリを有する本発明の表示装置の構成は、ペン入力表示装置に応用することができる。従来のペン入力表示装置の場合、時間分解能が最低でも1秒当たり60ポイント必要なため、ペン入力情報を約17msec毎にCPUに転送する必要があった。このため、CPUが転送動作時間の数%をペン入力に使用するとともに、ペン座標をCPUに転送するための駆動回路も17msec毎に動作しなくてはならず低消費電力化の妨げとなっていた。(SI D87 DIGESTAn Electronic Podium for the Classroom, and SID94 DIJEST Electric Ink-ing System Performance 参照) 第9の実施形態は、CPUの負担を軽減させ、ペン入力装置の低消費電力化を図った表示装置の例である。

【0200】図23は本発明の第9の実施形態に係わるペン入力表示装置の構成図である。510は画素内部に光センサーおよび複数のメモリ回路を有し、ペン入力機能を備えた液晶表示パネル、511は表示パネル510に信号電圧を印加する信号線駆動回路、512は表示パネル510に配置されたスイッチング素子(図示せず)をオンオフするアドレス線駆動回路、504は座標データを表示パネル510より取り出す水平走査回路、505は表示パネル510に配置されたスイッチング素子(図示せず)をオンオフする垂直走査回路、506は信号線駆動回路511およびアドレス線駆動回路512を制御する第1の制御回路、507は水平走査回路504および垂直走査回路505を制御する第2の制御回路、508は第1の制御回路506に表示情報を転送するCPUで、第2の制御回路507からは座標情報を受け取っている。40

【0201】図23における基本的動作を説明すると以下の通りである。表示パネル510にライトペン(図示せず)などにより座標が指定され、表示パネル510が備えたメモリ回路にその座標の位置データが保持される。垂直走査回路505により垂直走査線(図示せず)

が順次選択され、水平走査回路 5 0 4 によりメモリ回路に保持された座標データが取り出される。

【0 2 0 2】取り出された座標データは第 2 の制御回路 5 0 7 に送られ、転送用の信号にフォーマットされ CPU 5 0 8 に転送される。CPU 5 0 8 では座標データおよびその他の信号を処理して表示パネル 5 1 0 の画像情報を作成し、第 1 の制御回路 5 0 6 へ転送する。

【0 2 0 3】第 1 の制御回路 5 0 6 では画像情報を受け取り、その画像情報に基づき表示パネル 5 1 0 を駆動するべき信号（信号線データ、アドレス線データ）を作成し、信号線駆動回路 5 1 1 およびアドレス線駆動回路 5 1 2 へ信号を送る。表示パネル 5 1 0 では各画素が複数のメモリ回路を持っており（図示せず）、各画素に対応した画像信号がこれらのメモリ回路に保持される。

【0 2 0 4】図 2 4 ( a ) と ( b ) に、表示パネル 5 1 0 が複数メモリ回路を持たない場合（従来技術）における動作タイミングと、表示パネル 5 1 0 が複数のメモリ回路を持つ場合（本発明）における動作タイミングを比較して示す。

【0 2 0 5】表示パネル 5 1 0 の各画素が複数のメモリ回路を持たない場合、DRAM と同様にデータを常に取りフレッシュしなくてはならず、またフレーム毎に、画像信号を第 1 の制御回路 5 0 6 に、座標データを CPU 5 0 8 に転送しなくてはならない。

【0 2 0 6】しかし表示パネル 5 1 0 の各画素が複数のメモリ回路を持つ場合、表示パネル 5 1 0 に入力された画像信号は、各画素のメモリ回路に保持されるので、画像信号が変化するまで、毎回画像信号を転送する必要がない。この間、表示パネル 5 1 0 では、保持された画像信号に基づいた静止面の表示を行っている。

【0 2 0 7】図 2 4 ( b ) のように第 ( n + 6 ) 番目のフレームで画像信号が変化する場合、新しい画像信号が転送される。また、表示パネル 5 1 0 が座標データ保持用メモリを持っているので、時間分解能を上げるためにフレーム毎に座標データを転送する必要がない。時間分解能は座標データをメモリ回路に保持するまでの動作速度に依存しており、表示パネル 5 1 0 の座標データ検出用光センサーにフォトダイオード等を使用すれば数 msec 以下で保持することが可能である。

【0 2 0 8】しかも座標データの転送を低速にできるので、水平走査回路 5 0 4、垂直走査回路 5 0 5 および第 2 の制御回路 5 0 7 における消費電力を低減することが可能である。さらに、本発明では、表示パネル 5 1 0 に保持されている画像信号と座標データの論理和信号を瞬時に表示する機能があるので、以下に説明するように表示上も全く問題ない。

【0 2 0 9】図 2 5 に、表示パネル 5 1 0 の各画素の具体的な構成例を示す。なお、図 2 3 と同一の部分には同一符号をつけ、重複する説明を省略する。図 2 3 において、CPU 5 0 8 より出力された画像情報は、第 1 の制

御回路 5 0 6 および信号線駆動回路 5 1 1、アドレス線駆動回路 5 1 2 によって各画素に対応した画像信号および走査信号に変化する。

【0 2 1 0】上記の画像信号は、図 2 5 に示すように、信号線 S1、S2 を介して各画素制御回路 ( PC ) 5 2 1 および各表示セル ( CEL ) 5 2 2 に送られる。なお画素制御回路 5 2 1 と表示セル 5 2 2 とを合わせて画素と称する。また G1、G2 はゲート線（アドレス線）であり、アドレス線駆動回路 5 1 2 より選択された（オン電圧が印加された）ゲートにつながった画素制御回路 5 2 1 に信号線駆動回路 5 1 1 より画像信号が送られ、画素制御回路 5 2 1 に保持される。

【0 2 1 1】D1、D2 は水平走査線であり、それぞれ水平走査回路 5 0 4 および画素制御回路 5 2 1 につながっている。A1、A2 は垂直制御線であり、それぞれ垂直走査回路 5 0 5 および画素制御回路 5 2 1 につながっている。垂直走査回路 5 0 5 より選択された垂直走査線（垂直走査線電圧がオン電圧になる）につながった画素制御回路 5 2 1 に保持されていた座標データが、水平走査回路 5 0 4 へ送られ、さらに第 2 の制御回路 5 0 7 を経由して CPU 5 0 8 へと送られる。

【0 2 1 2】図 2 6 に画素制御回路 5 2 1 の具体的な構成例を示す。5 3 1 は第 1 のメモリ回路であり、アドレス線 G1 が選択された場合、信号線 S1 に送られている表示信号を内部メモリ（不図示）に保持する。信号線 S1 から送られる表示信号はアナログ信号であるが、第 1 のメモリ回路 5 3 1 での保持形態はデジタルまたはアナログのどちらでもよい。第 1 のメモリ回路 5 3 1 に保持された画像信号は、再度アドレス線 G1 が選択され、新たな画像信号が信号線 S1 から送られるまで保持される。

【0 2 1 3】5 3 2 は第 2 のメモリ回路であり、ライトペン等（図示せず）より表示パネル 5 1 0 に与えられた座標データを内部メモリ（不図示）に保持し、垂直走査線 A1 が選択されると保持された座標データを水平走査線 D1 を介して水平走査回路 5 0 4 へ転送する。5 3 3 は OR 回路であり、第 1 のメモリ回路 5 3 1 および第 2 のメモリ回路 5 3 2 にそれぞれ保持されている画像信号と座標データの論理和をとる。その出力は、DA コンバータ 5 3 4 を介してアナログ電圧に変換後、表示セル 5 2 2 に印加される。

【0 2 1 4】本実施例では、画像信号および座標データとも 2 値信号（" 1 " または " 0 " ）であるとし、" 1 " の時黒を（一般的にペン座標では入力されたことを意味することが多い）、" 0 " の時は白を表示するものとする。第 1 のメモリ回路 5 3 1 に " 1 " が、第 2 のメモリ回路 5 3 2 に " 0 " が保持されていれば、OR 回路 5 3 3 より表示セル 5 2 2 に " 1 " に対応した電圧を印加しようとする。より正確に言えば、OR 回路 5 3 3 の次段の DA コンバータ 5 3 4 より、表示セル 5 2 2 を駆

動するのに適切な電圧が表示セル 5 2 2 に印加される  
(たとえば TN 液晶では 5 V)。

【0 2 1 5】従って、第 2 のメモリ回路 5 3 2 の保持状態が " 1 " であれば、その座標データが水平走査回路 5 0 4 に読み出されているか否かに拘らず、OR 回路 5 3 3、DA コンバータ 5 3 4 を介して表示セル 5 2 2 に 5 V (TN 液晶では) が印加されるので、水平走査回路 5 0 4 の読出し速度が遅くとも、表示特性上の不都合は生じない。

【0 2 1 6】また、第 2 のメモリ回路 5 3 2 に保持された座標データは、第 1 のメモリ回路 5 3 1 と同様に、垂直走査線 A1 が選択され第 2 のメモリ回路 5 3 2 に保持された座標データが水平走査回路 5 0 4 に読み出されると消去される。

【0 2 1 7】第 2 のメモリ回路 5 3 2 には、ライトペン (図示せず) より与えられた光エネルギーを電気エネルギーに変換するフォトダイオード 5 3 5 が接続されており、ライトペンの座標データを提供する。メモリ素子 5 3 2 は、フォトダイオード 5 3 5 から得た座標データを保持する。保持形態はアナログまたはデジタルのどちらでもよく、デジタルの場合はフォトダイオード 5 3 5 の信号を AD コンバータ (図示せず) にて AD 変換して保持する。

【0 2 1 8】以上説明したように、本発明に係わるペン入力表示装置では、同一基板上に形成された光センサと複数のメモリ回路を各画素に有し、光センサが座標データを検出する。光センサにより検出された座標データは、複数のメモリ回路の 1 つに保存されるので、走査期間中に行われる座標データの読出しの速度は遅くともよく、読出し回路 (水平走査回路) およびデータ転送回路の低消費電力化が実現される。

【0 2 1 9】また、画像信号が複数のメモリ回路の 1 つに保存されており、座標データと画像信号の論理和の電圧を表示素子に印加するので、読出し駆動周波数が遅いにも拘らず瞬時に座標位置を表示することが可能である。

【0 2 2 0】以上本発明の実施例をフラットパネルディスプレイの一例として液晶表示装置を用いて説明してきたが、本発明は液晶表示装置に限られるものではなく、画素が行列状に状に配置されている表示装置ならば、プラズマディスプレイ、EL ディスプレイ、フィールドエミッションディスプレイ (FED)、あるいはメカニカルなディスプレイであっても適用可能であり、さらにフラットパネルディスプレイを構成する材料や、種類で制限されるものではない。

【0 2 2 1】

【発明の効果】以上詳細に説明してきたように、本発明によれば、次の様な効果が得られる。

【0 2 2 2】(1) 一旦メモリ回路内に記録した画像情報を用いて表示素子への書き込み信号を決めるため、前

フィールドと次フィールドの間で画像情報が変わらない場合、ホストシステム (コンピュータ) と液晶表示装置周辺回路間でのデータの送信が無くなるため、消費電力を低減することができる。また、メモリ回路に画像情報が保存されており、表示素子への書き込み回数を減らすことなく消費電力の低減が為される。

【0 2 2 3】(2) 上記により、背景などの情報を 1 画素毎に設けられた複数のメモリの 1 つに蓄えておくことができるので、背景の前に動画像が表示され、1 度消えた後、新たに背景が出てきた場合、背景については信号供給源をメモリを切り換えることにより再度表示することができ、新たに画像信号を伝送する必要がない。その結果、消費電力を大幅に低減することが出来る。

【0 2 2 4】特に動画像の場合、室内や背景が遠景であるといったような場合等では、一般的に、背景の状態は変わらないか、変化が少ないのが普通である。変化のあるのは、オブジェクト、つまり、人物等の中心的な被写体となるので、オブジェクトについて画像信号の通りに変化をさせれば、背景は多少の変化があっても余り問題とならない。

【0 2 2 5】(3) テキストや動画をマルチウインドウ化して表示する場合に、見えなくなったウインドウ画面を 1 画素毎のメモリに蓄積しておくことにより、瞬時にウインドウを切り換えることができる。この場合、ビデオメモリからウインドウを変える毎に信号を伝送する必要がないので、大幅に低消費電力化することができる。

【0 2 2 6】(4) TV 電話等で見せたくない背景を取り除き、その代わりに自分好みの背景を表示するようにしたり、アプリケーション実行時における計算処理等の最中での待ち時間に、オペレータに退屈させないように画面を表示させるようにしてユーザサービスを図ることもできる。

【0 2 2 7】(5) 表示素子に画像信号を供給しているメモリ以外のメモリの画像信号保持内容を、ホストシステム側でバックグラウンド実行されている実行結果で更新することができる。これにより、ホストシステム側でアプリケーションの切替えが行われたときには、表示画像とメモリ内画像信号を高速に切替えることができ、画面更新時間を短縮することが可能となる。

【0 2 2 8】(6) 行列状に配置された表示素子の素子総数よりも、大容量の画像信号をメモリに保持し、そのメモリの画像信号と現画像信号とを高速に切替えて表示素子を駆動することにより、等価的に表示素子総数よりも多い表示画素数の表示画像を表示することが可能となり、高精細かつ低消費電力の表示装置が実現できる。

【0 2 2 9】(7) FRC またはディザなど複数の表示色によって中間調を表示する駆動方法において、ある一定のパターンで駆動した場合に画像によってフリッカまたは誤表示が生じる場合に、表示色を 1 画素内で切り換えて表示することができるため、画質劣化を生じさせる

ことなく画質を改善できる。

【0230】(8) スクロールする画像をメモリ素子内に記録し、動体については直接表示素子への書き込みができるため、スクロールする画像に対するコンピュータから表示装置周辺回路への信号送信を大幅に低減でき、消費電力を低減できるばかりでなく、動体については最適の駆動周波数で書換えが行われるため、よりリアルな表示を行うことができる。

【0231】(9) 色々な画像情報をメモリ素子内に記録しておくことができるため、高速な画面の書換えが行える。これは画像情報をホストシステム内のメモリから呼び出し、表示装置周辺回路に送信する動作に伴う時間差が、ウィンドウの切り換えなどで発生する場合に、一旦表示画面の切り換えを行ってから画像情報をアクセスするという構成を取れるため、ユーザーの使いやすさをより改善する。

【0232】(10) 本発明に係わるペン入力表示装置では、各画素毎に設けられた光センサが座標データを検出し、そのデータは各画素毎に設けられた複数のメモリ回路の1つに保存される。このため、座標データの読出しの速度は遅くともよく、読出し回路(水平走査回路)およびデータ転送回路の低消費電力化が実現される。

【0233】また、画像信号が複数のメモリ回路の1つに保存されており、座標データと画像信号の論理和の電圧を表示素子に印加するので、読出し駆動周波数が遅いにも拘らず瞬時に座標位置を表示することが可能である。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる液晶表示装置の概略構成図

【図2】第1の実施形態における表示パネルの概略構成図。

【図3】第1の実施形態における画素表示制御回路の回路図。

【図4】第1の実施形態の動作を説明するための図で、(a)は画像の変化を表した図、(b)は各信号のタイミングチャート。

【図5】第1の実施形態における画素表示制御回路の変形例の回路図。

【図6】本発明の第2の実施形態に係わる液晶表示装置の概略構成図。

【図7】第2の実施形態における液晶表示パネルの1画素の回路図。

【図8】第2の実施形態における液晶表示パネルのメモリ回路の回路図の1例で、ダイナミック型の例。

【図9】第2の実施形態における液晶表示パネルのメモリ回路の回路図の他の1例で、スタティック型の例。

【図10】第2の実施形態における液晶表示装置の表示信号伝送方式の第1の例を示すタイミングチャート。

【図11】第2の実施形態における液晶表示装置の表示

信号伝送方式の第2の例を示すタイミングチャート。

【図12】第2の実施形態を液晶シャッタ付き3D眼鏡に応用した例を説明する為の図で、左右の眼用のメモリイメージを示す図。

【図13】本発明の第3の実施形態に係わる液晶表示装置の概略構成図。

【図14】第3の実施形態における基本的な液晶表示パネルの概略構成図。

【図15】第3の実施形態において、メモリ回路毎に選択的に書き込みができるようにした液晶表示パネルの概略構成図。

【図16】第3の実施形態において、画素毎に選択的に書き込みができるようにした液晶表示パネルの概略構成図。

【図17】本発明の第4の実施形態に係わる液晶表示パネルの概略構成図。

【図18】本発明の第5の実施形態に係わる液晶表示パネルの概略構成図。

【図19】市松模様の表示を第5の実施形態と従来技術と比較して示したもので、(a)は第5の実施形態による表示、(b)は従来の表示。

【図20】本発明の第6の実施形態に係わる液晶表示パネルの概略構成図。

【図21】本発明の第8の実施形態に係わる液晶表示装置の概略構成図。

【図22】第8の実施形態の変形例に係わる液晶表示装置の概略構成図。

【図23】本発明の第9の実施形態に係わるペン入力付き液晶表示装置の概略構成図。

【図24】ペン入力付き表示装置のデータ転送方式を、従来技術と本発明とを比較して説明するための図で、(a)が従来技術、(b)が本発明のタイミングチャート。

【図25】第9の実施形態における液晶表示パネルの各画素の概略構成図。

【図26】第9の実施形態における液晶表示パネルの画素制御回路の回路図。

【図27】従来の液晶表示装置を説明する為の図で、(a)は表示装置の概略構成図、(b)は表示パネルの概略構成図。

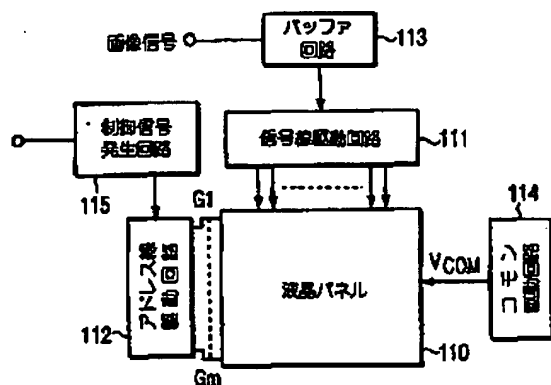
#### 【符号の説明】

- 110…液晶パネル(LCDパネル)
- 111…信号線駆動制御回路
- 112…アドレス線駆動回路
- 113…バッファ回路
- 114…コモン駆動回路
- 115…制御信号発生回路
- Lal~Lam…行走査線
- Lbl~Lbn…画素信号線
- Lcl~Lcn…書換制御信号線

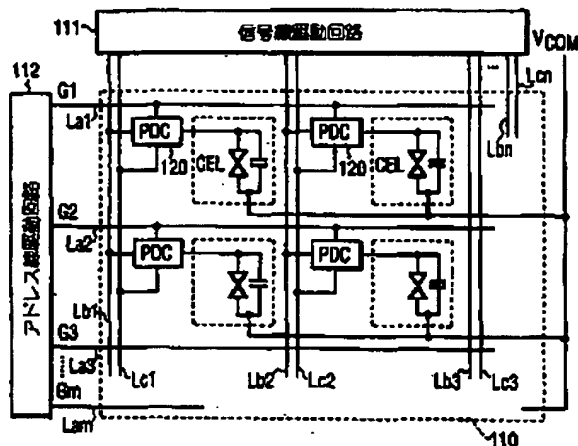
- 120…画像表示制御回路
- 121a…第1のメモリ素子
- 121b…第2のメモリ素子
- 123…メモリ選択制御回路
- 124…書換指示回路

- 125…メモリ出力切換回路。
- CEL…液晶表示セル
- Ss…メモリ選択用の指示信号
- Sr…メモリ書換え可否指示用の信号。

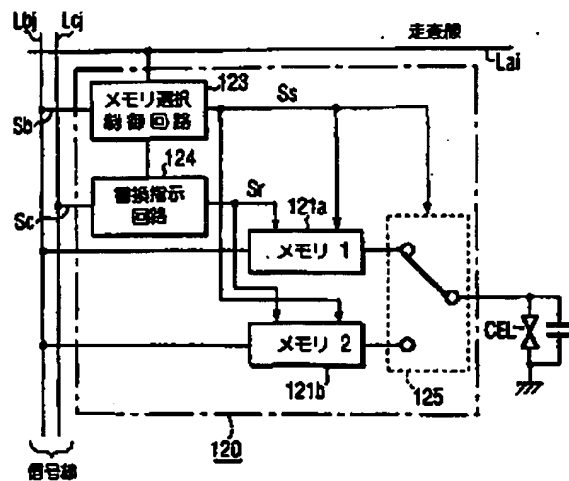
【図1】



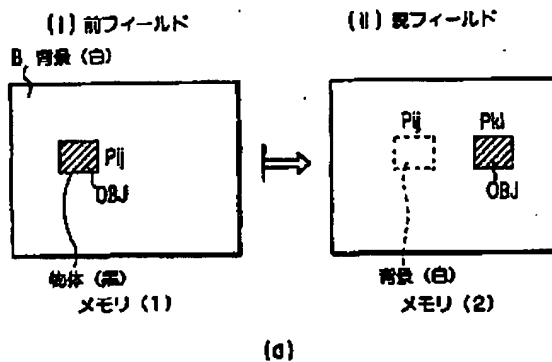
【図2】



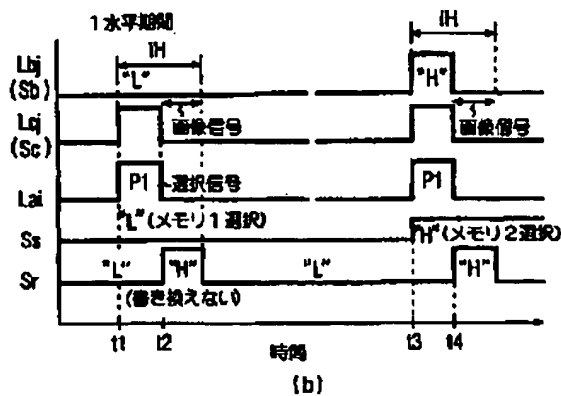
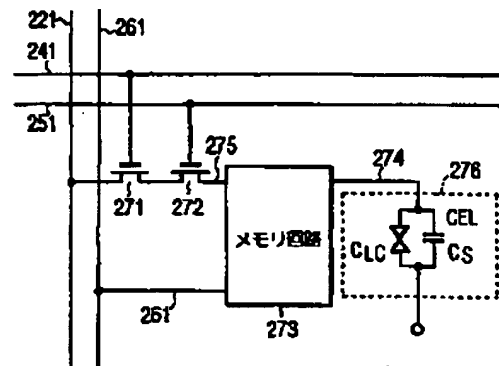
【図3】



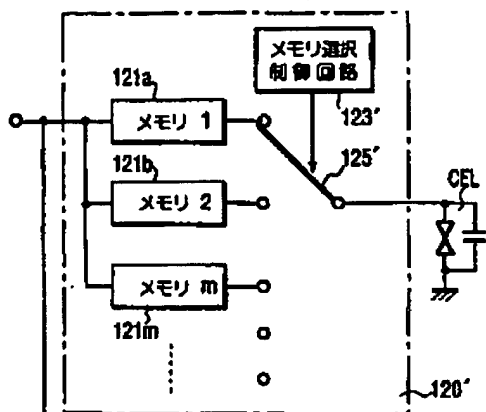
【図4】



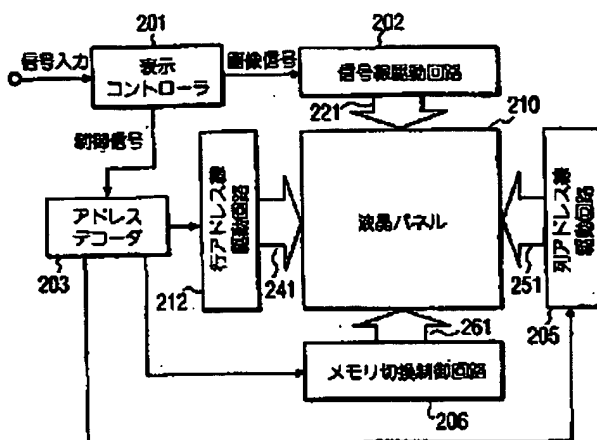
【図7】



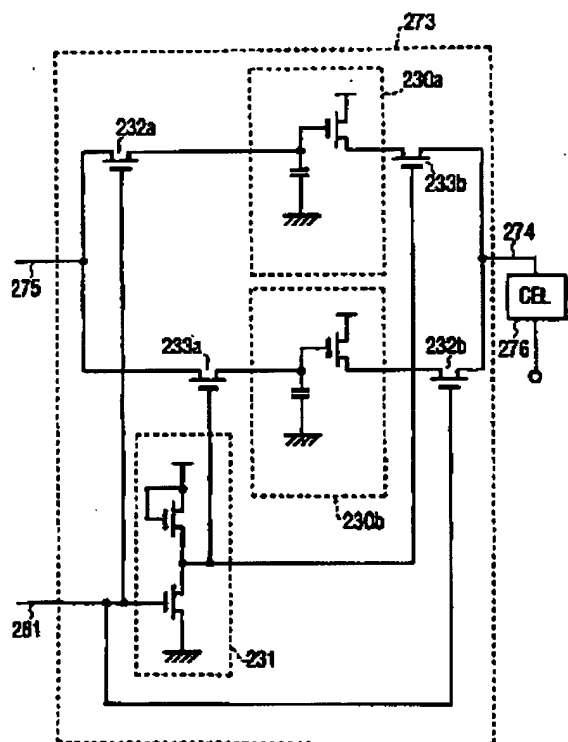
【図5】



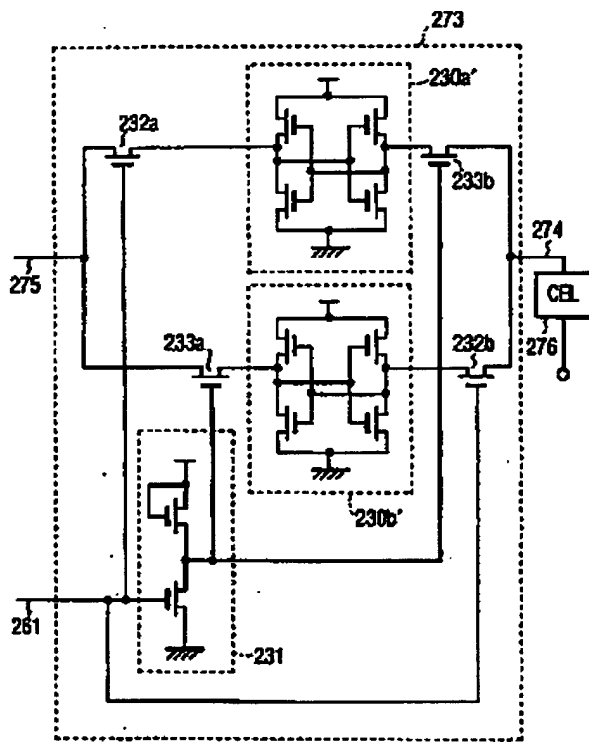
【図6】



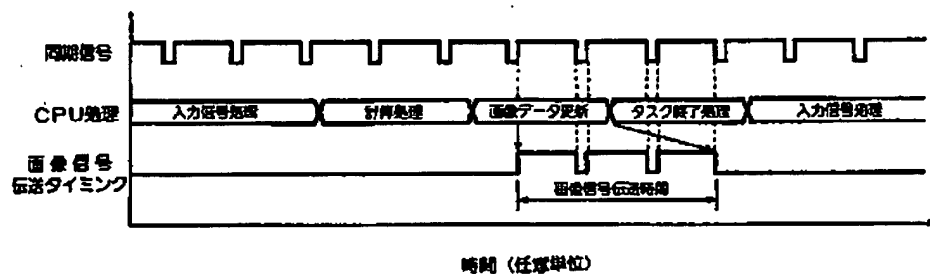
【図8】



【図9】



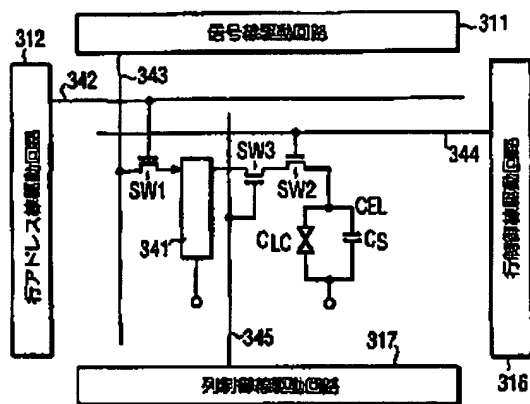
【図10】



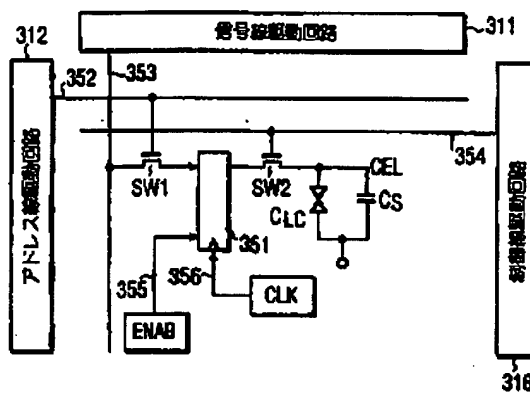




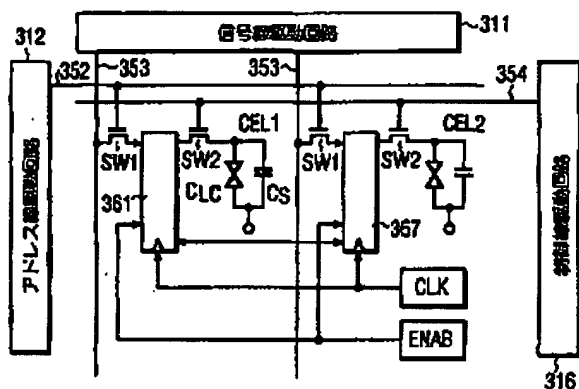
【図 16】



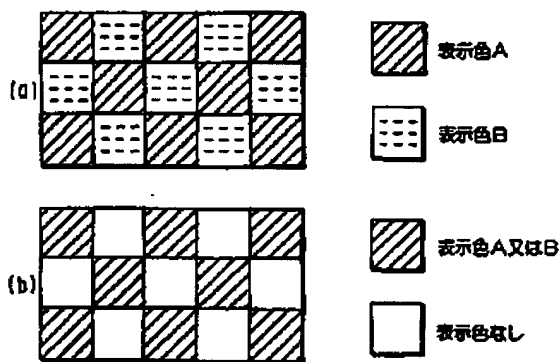
【図 17】



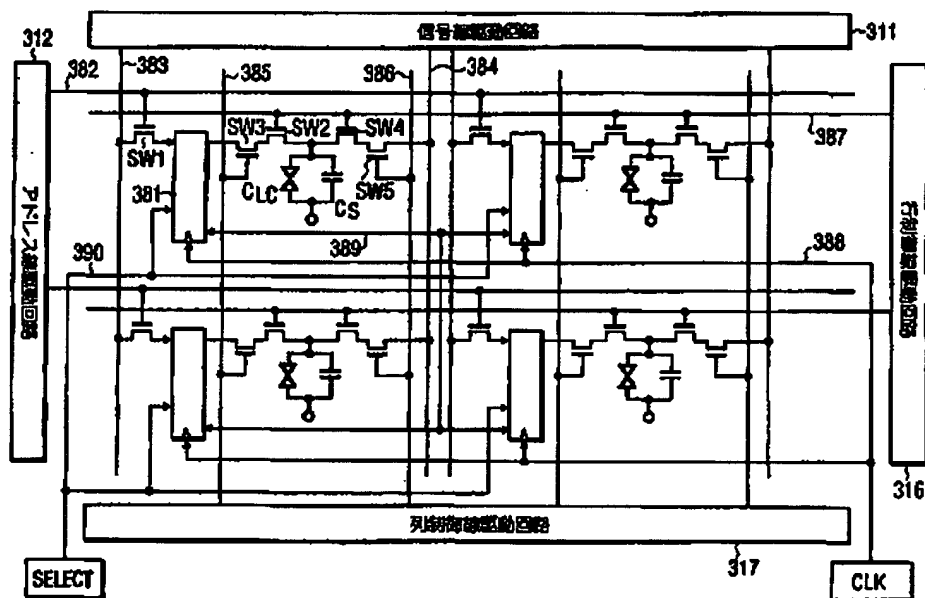
【図 18】



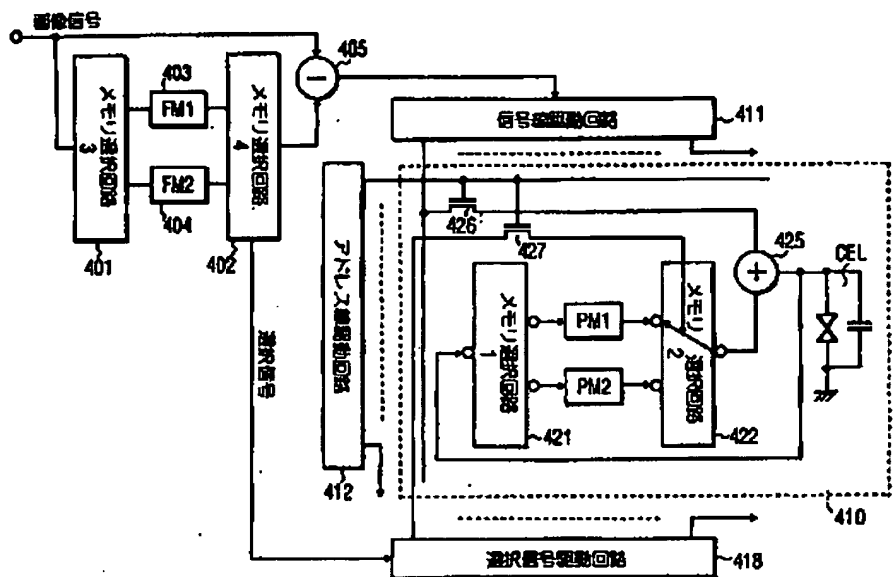
【図 19】



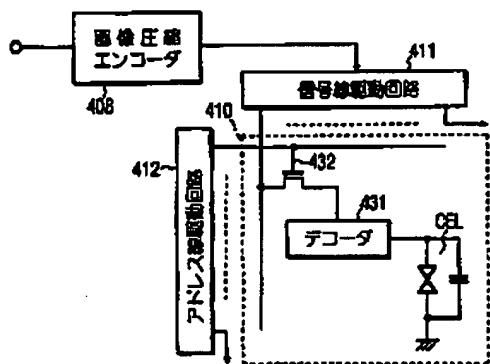
【図 20】



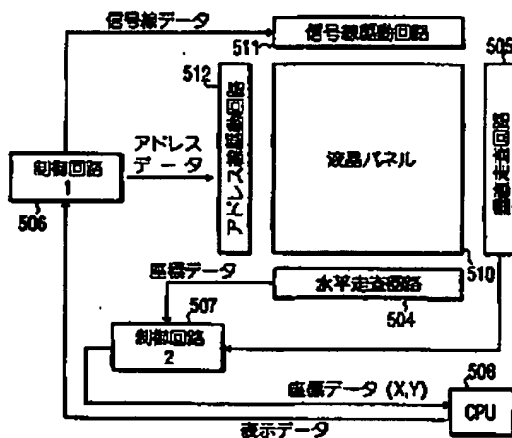
【図 2 1】



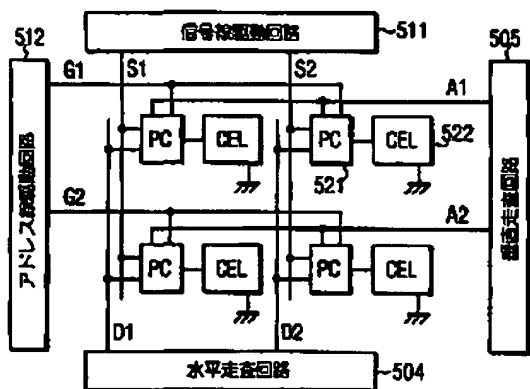
【図 2 2】



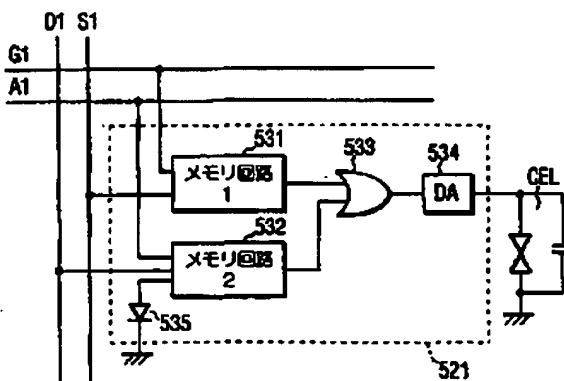
【図 2 3】



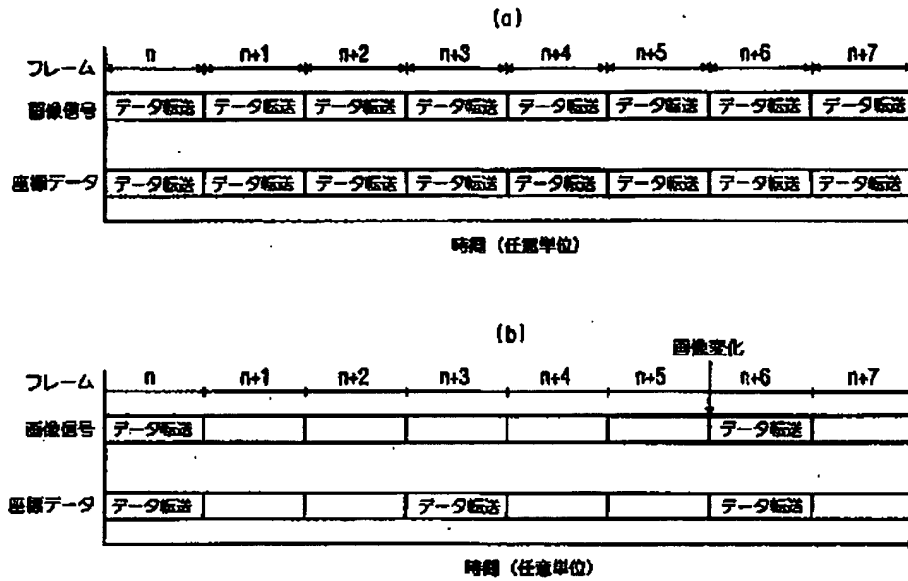
【図 2 5】



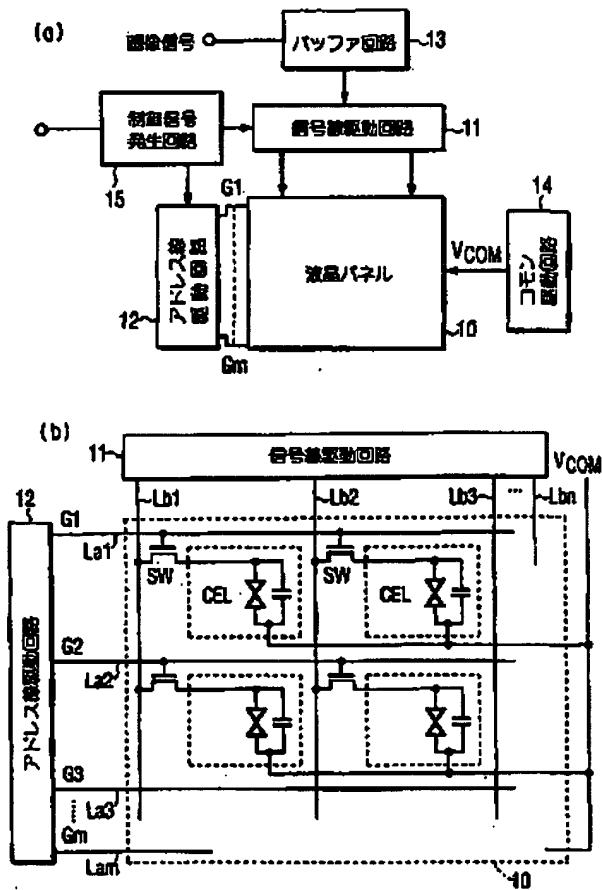
【図 2 6】



【図24】



【図27】



フロントページの続き

(72)発明者 伊藤 剛

神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内